

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

PROJETO DE CIRCUITOS A CAPACITORES CHAVEADOS COM TECNOLOGIA CMOS
DIGITAL: APLICAÇÃO NOS FILTROS DE UM CODEC

DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE SANTA CATARINA
PARA A OBTENÇÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA

CELSO JOSÉ FARIA DE ARAÚJO

FLORIANÓPOLIS, MARÇO - 1990

PROJETO DE CIRCUITOS A CAPACITORES CHAVEADOS COM TECNOLOGIA CMOS
DIGITAL: APLICAÇÃO NOS FILTROS DE UM CODEC

CANDIDATO: CELSO JOSÉ FARIA DE ARAÚJO

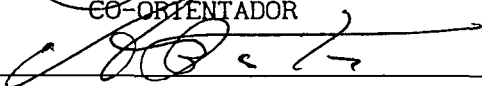
ESTA DISSERTAÇÃO FOI JULGADA PARA OBTENÇÃO DO TÍTULO - MESTRE EM
ENGENHARIA - ESPECIALIDADE ENGENHARIA ELÉTRICA APROVADA EM SUA FORMA FINAL
PELO CURSO DE PÓS-GRADUAÇÃO.



Prof. Márcio Cherem Schneider, Dr. Eng.
ORIENTADOR




Prof. José Carlos Moreira Bermudez, Ph.D.
CO-ORIENTADOR

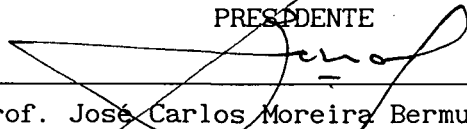


Prof. João Pedro Assumpção Bastos, Dr. D'Etat
COORDENADOR DO CURSO DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA.

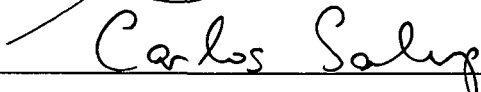
BANCA EXAMINADORA:



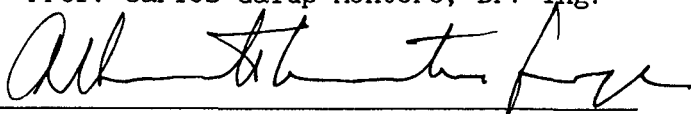
Prof. Márcio Cherem Schneider, Dr. Eng.
PRESIDENTE



Prof. José Carlos Moreira Bermudez, Ph.D.



Prof. Carlos Galup Montoro, Dr. Ing.



Prof. Alberto Martins Jorge, Dr.

Aos meus pais, Rômulo e Georgette

A G R A D E C I M E N T O S

Ao Prof. Márcio Cherem Schneider pela orientação.

Ao Prof. José Carlos Moreira Bermudez pelo co-orientação.

Aos meus amigos do LINSE.

À Vânia e Walfredo pelo apoio moral e financeiro.

À Schirley pela força e apoio moral.

À CAPES pelo apoio financeiro.

À Universidade Federal do Pará.

Aqueles que, direta ou indiretamente, colaboraram para a realização do presente trabalho.

R E S U M O

Neste trabalho é apresentado um estudo do modelo do capacitor implementado com uma estrutura MOS de três terminais. Baseado neste estudo é obtida uma expressão analítica, na forma polinomial, da relação CxV do capacitor polarizado na região de inversão forte. É também proposto um método simples para análise de distorção harmônica, devido às não-linearidades dos capacitores, em redes a capacitores chaveados utilizando os coeficientes da função de transferência da rede e os coeficientes da expansão polinomial da característica CxV dos capacitores. Um exemplo é apresentado e o resultado obtido é comparado com uma simulação feita através do programa SPICE.

Além disso, são projetados os filtros de um CODEC que emprega a estrutura de três terminais como capacitor em redes a capacitores chaveados. Finalmente, resultados obtidos a partir das análises de sensibilidade e de distorção harmônica são apresentados.

A B S T R A C T

The analysis of a capacitor carried out by means of the MOS gate structure is presented in this work. A polynomial form of the CxV relation of this capacitor is obtained for the particular case in which it is biased in strong inversion. Besides, a simple method is proposed to determine the harmonic distortion due to capacitor non-linearities in switched capacitor networks. In this method, the total harmonic distortion at the network output is computed from the coefficients of the transfer function and from the polynomial expression of the CxV characteristic. An example based on this approach is presented and the results are compared with those ones obtained from SPICE simulation.

Afterwards, switched capacitor filters which employ the MOS gate structure are designed for a CODEC. Finally, results concerning sensitivity analysis and harmonic distortion are presented.

S U M Á R I O

RESUMO.....	v
ABSTRACT.....	vi
LISTA DE FIGURAS.....	x
LISTA DE TABELAS.....	xii
 <u>CAPÍTULO 1</u> - INTRODUÇÃO.....	 1
 <u>CAPÍTULO 2</u> - A UTILIZAÇÃO DA ESTRUTURA DE PORTA DE TRANSISTORES MOS COMO CAPACITOR: DETERMINAÇÃO DA DISTORÇÃO HARMÔNICA.....	 4
2.1 - Introdução.....	4
2.2 - A Estrutura de Porta de Transistores MOS como Capacitor.....	5
2.3 - Equilíbrio de Potenciais e Equilíbrio de Cargas.....	6
2.4 - Regiões de Operação e Distribuição de Carga.....	9
2.5 - Capacitância para Pequenos Sinais.....	11
2.6 - Não-linearidades.....	14
2.7 - Aproximação na Região de Inversão Forte.....	15
2.8 - Aproximação Polinomial.....	18
2.9 - Cálculo da Distorção Harmônica da Carga na Estrutura de Porta do Transistor MOS.....	20
2.10 - Conclusão.....	22
 <u>CAPÍTULO 3</u> - ANÁLISE DE DISTORÇÃO HARMÔNICA DEVIDO AOS CAPACITORES EM UMA REDE SC BIQUADRÁTICA.....	 24
3.1 - Introdução.....	24
3.2 - Descrição do Método.....	25

3.3 - Exemplo de Aplicação.....	33
3.4 - Conclusão.....	35
 <u>CAPÍTULO 4 - PROJETO DOS FILTROS DE UM CODEC.....</u>	 37
4.1 - Introdução.....	37
4.2 - Especificações:.....	40
4.3 - Arquitetura dos Filtros.....	42
4.4 - Descrição dos Filtros.....	43
4.4.1 - Filtro Passa Baixas de Transmissão.....	44
4.4.1.a - Escolha da Frequência de Amostragem do Filtro Passa Baixas SC.....	47
4.4.2 - Filtro Passa Altas SC.....	49
4.4.3 - Filtro Passa Baixas de Recepção.....	51
4.5 - Análise, Simulação e Resultados.....	52
4.5.1 - Análise de Sensibilidade da Resposta em Frequência...	52
4.5.2 - Análise de Distorção Harmônica.....	57
4.6 - Implementação.....	58
4.7 - Conclusão.....	61
 <u>CAPÍTULO 5 - CONCLUSÃO.....</u>	 62
 REFERÊNCIAS BIBLIOGRÁFICAS.....	 64
 <u>APÊNDICE 1 - DETERMINAÇÃO DA EXPRESSÃO PARA CÁLCULO APROXIMADO DA DISTORÇÃO HARMÔNICA NA CAPACITÂNCIA PORTA-FONTE.....</u>	 69

<u>APÊNDICE 2</u> - DETERMINAÇÃO DA EXPRESSÃO DA DISTORÇÃO HARMÔNICA DEVIDO AOS CAPACITORES EM REDES SC.....	71
<u>APÊNDICE 3</u> - SIMULAÇÃO SPICE DE UMA REDE BIQUADRÁTICA SC COM CAPACITORES NÃO LINEARES.....	75
<u>APÊNDICE 4</u> - DETALHES DA SIMULAÇÃO ESTATÍSTICA DOS FILTROS DO CODEC.....	81
<u>APÊNDICE 5</u> - "LAYOUT" DOS FILTROS DE TRANSMISSÃO DO CODEC.....	82

L I S T A D E F I G U R A S

2.1	- Estrutura de Três Terminais MOS.....	6
2.2	- Estrutura MOS de Substrato P com Polarização Porta-Substrato..	7
2.3	- Representação do Modelo Simplificado do Capacitor para Pequenos Sinais.....	12
2.4	- Modelo Enfatizando os Capacitores Intrínsecos da Estrutura.....	13
2.5	- Curva CxV do Capacitor.....	14
2.6	- Curva CxV Mostrando a Aproximação Utilizada na Região de Inversão.....	18
2.7	- Curvas CxV com Aproximação em Torno do Ponto de Polarização de 2,5V.....	19
2.8	- Curvas CxV com Aproximação em Torno do Ponto de Polarização de 5V.....	20
2.9	- Circuito Utilizado para Verificação da DHT de Q(v).....	21
2.10	- DHT's da Carga do Circuito da Figura 2.9.....	21
3.1	- Rede Biquadrática.....	26
3.2	- Módulo da Resposta em Frequência da Rede da Figura 3.1.....	33
3.3	- Curvas de DHT (dB) Versus Frequência do Sinal de Entrada.....	34
4.1	- Diagrama de Blocos de uma Transmissão Típica PCM.....	38
4.2	- Especificações de Magnitude da Resposta em Frequência para o Filtro de Transmissão de um CODEC PCM.....	41
4.3	- Diagrama de Blocos dos Filtros.....	43
4.4	- Gabaritos Utilizados na Obtenção das Funções de Aproximações dos Filtros de Transmissão.....	44
4.5	- Diagrama Esquemático do Filtro Passa Baixas.....	47
4.6	- Rede de Sallen-Key.....	48

4.7 - Diagrama Esquemático do Filtro Passa Altas.....	50
4.8 - Análise de Sensibilidade - Magnitude da Resposta em Frequência do Filtro de Transmissão.....	53
4.9 - Análise de Sensibilidade - Atraso de Grupo do Filtro de Transmissão.....	55
4.10 - Análise de Sensibilidade - Magnitude da Resposta em Frequência do Filtro de Recepção.....	55
4.11 - Análise de Sensibilidade - Atraso de Grupo do Filtro de Recepção.	56
4.12 - Distorção Harmônica (dB) do Sinal de Saída do Filtro Passa Baixas de Transmissão em Função da Frequência do Sinal de Entrada.....	57
4.13 - Distorção Harmônica (dB) do Sinal de Saída do Filtro Passa Baixas de Recepção em Função da Frequência do Sinal de Entrada.....	58
4.14 - "Layout" da Estrutura de um Capacitor Unitário.....	59
4.15 - Amplificador Operacional.....	60

LISTA DE TABELAS

2.1 - Simbologia e Constantes Físicas Utilizadas.....	6
3.1 - Valores Relativos das Capacitâncias para a Rede da Figura 3.1....	33
4.1 - Especificações do Gabarito da Figura 4.4a.....	45
4.2 - Pólos e Zeros no Plano "z" do Filtro Passa Baixas de Transmissão.	45
4.3 - Especificações do Gabarito da Figura 4.4b.....	50
4.4 - Pólos e Zeros no Plano "z" do Filtro Passa Altas de Transmissão..	50
4.5 - Valores das Capacitâncias do Filtro de Transmissão.....	51
4.6 - Pólos e Zeros no Plano "z" do Filtro Passa Baixas de Recepção....	52
4.7 - Valores das Capacitâncias do Filtro de Recepção.....	52
4.8 - Relações "W/L" dos Transistores do Amplificador Operacional da Figura 4.15.....	59

C A P Í T U L O 1

INTRODUÇÃO

Com a evolução que os circuitos MOS têm experimentado nas duas últimas décadas, alguns circuitos analógicos têm sido substituídos por sistemas digitais que desempenham funções semelhantes (filtros, por exemplo). Entretanto, a implementação de interfaces para executar certas funções, tais como pré/pós-filtragem de sinais, conversões A/D e D/A e modulação, torna indispensável a utilização de circuitos analógicos. Desde a década de 70, visando a reduzir as dimensões físicas dos sistemas e o consumo de potência, além de aumentar a confiabilidade, tem havido uma forte tendência em implementar subsistemas analógicos e digitais num mesmo circuito integrado (CI) [1-3]. Nestes casos, é altamente desejável que a parte analógica seja completamente compatível com o processo tecnológico empregado para os circuitos digitais. As implementações usuais de sistemas mistos têm sido conseguida, na maioria dos casos, através da utilização de tecnologias não convencionais (devido aos circuitos analógicos, os quais geralmente correspondem a uma pequena parte do sistema).

Uma das técnicas mais consagradas para a realização de CI's analógicos MOS é a de circuitos a capacitores chaveados (SC), cujos elementos básicos são amplificadores operacionais, transistores MOS e capacitores. O excelente desempenho de tais circuitos depende fundamentalmente da precisão da razão de capacitâncias e da linearidade dos capacitores empregados. As razões de capacitâncias podem ser implementadas com precisão de até 0,1%

[4-6] através de um "layout" cuidadoso. Os capacitores normalmente empregados em circuitos SC são formados por duas camadas de silício policristalino (polissilício) separadas por óxido, e apresentam boa estabilidade térmica e baixo coeficiente de variação com a tensão aplicada [6]. Entretanto, os processos convencionais para fabricação de CI's digitais não apresentam dupla camada de polissilício. Portanto, torna-se extremamente desejável a obtenção de técnicas que permitam a integração de circuitos SC sem a necessidade da dupla camada de polissilício. O processo atualmente disponível no país em tecnologia CMOS, através do projeto multiusuário brasileiro (PMU), por exemplo, apresenta dois níveis de metalização mas apenas um de polissilício. Outras formas de obtenção de capacitores são através da utilização de duas camadas de metal, ou uma camada de metal e outra de polissilício, que, no entanto, pelo fato de serem separadas por óxido espesso apresentam baixa capacitância por unidade de área. Assim, para integrar circuitos analógicos em processos CMOS convencionais o uso da estrutura de porta de transistores MOS como capacitor [7,8], doravante denominada capacitor MOS de três terminais, é bastante conveniente. Embora este capacitor seja não linear, a utilização de uma polarização adequada e a limitação da excursão de tensão a cerca de 60% da tensão de alimentação permitem obter baixos níveis de distorção harmônica nas redes onde tal capacitor é empregado. A utilização desta técnica, entretanto, tem sido limitada devido à falta de uma avaliação detalhada de seus efeitos sobre a distorção harmônica introduzida no sinal, considerando redes tipicamente empregadas na síntese de circuitos SC como, por exemplo, a rede biquadrática, um dos blocos básicos mais empregados [2-5] por permitir sínteses modulares, simples e com excelente desempenho [4,9,10].

Nos últimos anos, alguns métodos foram propostos especificamente

para fazer a análise de redes SC levando em consideração elementos não lineares [27]. No caso da utilização destes métodos em programas, a simulação computacional torna-se extremamente longa se o período de amostragem da rede SC é considerável [29]. Por outro lado, os métodos propostos são mais abrangentes em relação aos elementos não lineares, mas, em contrapartida, introduzem conceitos bem mais complexos que o de função de transferência, que é normalmente utilizado para descrever os circuitos lineares SC. O principal objetivo deste trabalho é quantificar a influência das não linearidades de capacitores MOS de três terminais em redes SC utilizando, para isto, o conceito da função de transferência da rede SC obtida com elementos lineares [31]. Os resultados são então aplicados no projeto dos filtros analógicos de um CODEC.

No Capítulo 2 deste trabalho é apresentado um estudo do modelo do capacitor MOS de três terminais. A partir deste estudo, é obtida a relação $C \times V$ do capacitor.

No Capítulo 3 é desenvolvido um método de análise da distorção harmônica causada pelo emprego de capacitores não lineares em redes SC. O método é desenvolvido para uma rede biquadrática particular. Entretanto, verifica-se facilmente que o mesmo é geral, podendo ser empregado na análise de qualquer rede SC.

No capítulo 4, são projetados os filtros a capacitores chaveados de um CODEC utilizando capacitores MOS de três terminais. A distorção harmônica é determinada pelo método proposto no Capítulo 3 e os resultados obtidos são avaliados.

Finalmente, no Capítulo 5 são apresentadas conclusões a respeito do trabalho desenvolvido.

C A P Í T U L O 2

A UTILIZAÇÃO DA ESTRUTURA DE PORTA DE TRANSISTORES MOS COMO CAPACITOR: DETERMINAÇÃO DA DISTORÇÃO HARMÔNICA

2.1 - Introdução

Para o projetista de circuitos integrados MOS é importante conhecer os modelos dos dispositivos disponíveis na tecnologia por ele empregada. Com a finalidade de utilizar o capacitor de três terminais MOS (TT-MOS) na implementação de filtros a capacitores chaveados, faz-se necessário um estudo detalhado da origem da distorção harmônica causada por este dispositivo quando empregado em tais filtros [8]. Neste capítulo, são apresentados o modelo existente [11] para descrever o comportamento do capacitor TT-MOS com a variação da tensão aplicada em seus terminais e, a partir de simulações computacionais, a curva C_xV deste capacitor. Através de aproximações analíticas é então obtida uma expressão analítica simplificada que traduz a relação C_xV do capacitor TT-MOS polarizado em inversão forte, para uma dada tensão de operação. A expressão aproximada é obtida por meio da expansão em série de Taylor da carga no capacitor TT-MOS quando excitado por tensão [8,12]. O limite de validade da expressão simplificada é determinado comparando-se a distorção harmônica total (DHT) calculada pelo modelo simplificado com a calculada numericamente a partir da relação C_xV da

estrutura MOS. No Capítulo 3 esta expressão simplificada será utilizada no método de quantificação da distorção harmônica ali proposto.

2.2 - A Estrutura de Porta de Transistores MOS como Capacitor

A estrutura de três terminais MOS (TT-MOS) que utilizaremos para realizar o capacitor está representada na Figura 2.1. A placa inferior do capacitor ou substrato (terminal B) é constituída de um semicondutor do tipo P ou N; a placa superior ou porta (terminal G) é constituída de polissilício e o isolante é, geralmente, óxido de silício (SiO_2). A região de contato (terminal C) é constituída de um semicondutor tipo P ou N fortemente dopado (P^+ ou N^+). No caso do substrato tipo P a região de contato será do tipo N^+ , caso contrário, será do tipo P^+ [11], para funcionamento em inversão. Nos circuitos onde tal capacitor será utilizado, a diferença de tensão nos terminais C e B será praticamente zero ($V_{cb}=0$). Por isso, inicialmente, consideraremos apenas a estrutura MOS de dois terminais (G e B) que, a menos dos aspectos freqüenciais envolvidos, que serão evidenciados oportunamente, apresenta o mesmo modelo do capacitor MOS de três terminais com $V_{cb}=0$. Todo o desenvolvimento apresentado refere-se a uma estrutura MOS com substrato do tipo P; a simbologia e as constantes físicas utilizadas estão na Tabela 2.1. Estas constantes estão baseadas em um processo CMOS $2\mu\text{m}$, poço N [32].

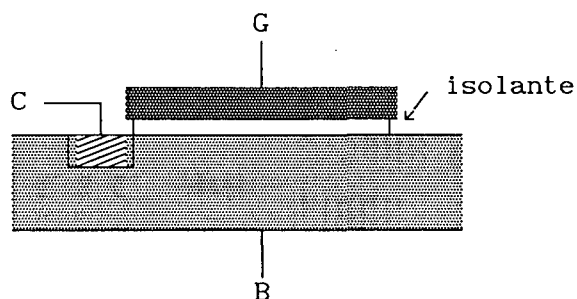


FIGURA 2.1 - Estrutura de Três Terminais MOS

GRANDEZA	DESCRIÇÃO	VALOR	UNIDADE
ϕ_t	tensão termodinâmica	$k \cdot T/q$	[V]
ϕ_F	potencial de Fermi		[V]
V_T	tensão de limiar	0,9	[V]
q	carga do elétron	$1,6 \times 10^{-19}$	[C]
ϵ_s	permissividade elétrica do Silício	$1,04 \times 10^{-12}$	[F/cm]
C'_{ox}	capacitância do óxido	860×10^{-10}	[F/cm ²]
N_a	dopagem do substrato	$0,53 \times 10^{16}$	[cm ⁻³]
N_i	concentração intrínseca do Si (T = 300K)	$1,45 \times 10^{10}$	[cm ⁻³]
T	temperatura	300	[K]

TABELA 2.1 - Simbologia e Constantes Físicas Utilizadas

2.3 - Equilíbrio de Potenciais e Equilíbrio de Cargas

Consideraremos, inicialmente, a estrutura MOS de dois terminais e, com algumas considerações posteriores, iremos extrapolar os resultados

obtidos para a estrutura de porta de três terminais, com $V_{cb}=0$.

Tomando os terminais de porta (G) e de substrato (B) e aplicando uma diferença de potencial V_{gb} , como na Figura 2.2, tem-se quatro tipos de quedas de potencial ao longo do circuito:

- 1- Fonte externa de tensão aplicada V_{gb} .
- 2- O potencial no óxido ϕ_{ox} .
- 3- O potencial de superfície ϕ_s .
- 4- O potencial de contato ϕ_{ms} .

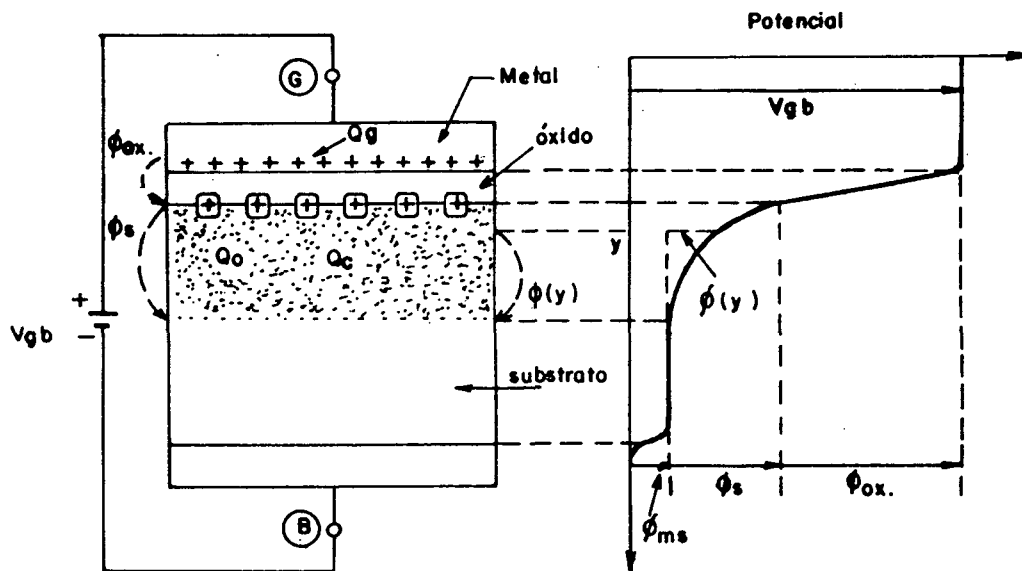


FIGURA 2.2 - Estrutura MOS de Substrato P com Polarização Porta- Substrato
[11]

O potencial de superfície ϕ_s é a queda de potencial desde a interface do óxido com o substrato até a base do substrato. O potencial de

contato ϕ_{ms} é a soma das quedas de potenciais devido aos materiais utilizados para fazer os contatos com a estrutura. Assim,

$$V_{gb} = \phi_{ox} + \phi_s + \phi_{ms} \quad (2.1)$$

O potencial de contato ϕ_{ms} só depende dos tipos de materiais utilizados nos contatos e pode ser considerado constante, de forma que uma variação em V_{gb} deverá ser equilibrada por uma variação em ϕ_{ox} e ϕ_s , ou seja:

$$\Delta V_{gb} = \Delta \phi_{ox} + \Delta \phi_s \quad (2.2)$$

Em geral, três tipos de cargas são encontradas no circuito:

- 1- A carga na porta Q_g .
- 2- A carga equivalente na interface do óxido com o semicondutor, Q_o .
- 3- A carga no semicondutor, Q_c .

O circuito como um todo deve apresentar a neutralidade de carga; assim:

$$Q'_g + Q'_o + Q'_c = 0 \quad (2.3)$$

onde a representação Q' se refere à carga por unidade de área.

Se alguma variação de Q'_g é verificada, outra variação em Q'_c se fará necessária para que seja mantido o equilíbrio de cargas, uma vez que Q'_o é, em primeira aproximação, apenas dependente do processo de fabricação; logo, não varia com o potencial aplicado. Assim:

$$\Delta Q'_g + \Delta Q'_c = 0 \quad (2.4)$$

As equações (2.1) e (2.3) expressam os equilíbrios de potenciais e de cargas, respectivamente, na estrutura do capacitor MOS, e formam a base para os desenvolvimentos a seguir.

2.4 - Regiões de Operação e Distribuição de Cargas:

O valor da diferença de potencial V_{gb} aplicada entre os dois terminais da estrutura MOS é o fator determinante da região de operação da mesma. O parâmetro que define as diferentes regiões de operação é a tensão de banda plana V_{FB} da estrutura. Esta tensão corresponde ao valor de V_{gb} capaz de anular as cargas no semiconductor e, por conseguinte, o potencial ϕ_s [11]. Nesta condição, conhecida como condição de banda plana, observa-se as seguintes igualdades.

$$V_{gb} = V_{FB} \quad (2.5.1)$$

$$Q'_c = 0 \quad (2.5.2)$$

$$\phi_s = 0 \quad (2.5.3)$$

Partindo desta condição, duas regiões de operação são estabelecidas para este dispositivo; supondo substrato tipo P:

1- Acumulação

$$V_{gb} < V_{FB} \quad (2.6.1)$$

$$Q'_c > 0 \quad (2.6.2)$$

$$\phi_s < 0 \quad (2.6.3)$$

2- Depleção e Inversão

$$V_{gb} > V_{FB} \quad (2.7.1)$$

$$Q'_c < 0 \quad (2.7.2)$$

$$\phi_s > 0 \quad (2.7.3)$$

Uma situação limite de grande importância ocorre quando as concentrações de elétrons e de lacunas se tornam iguais na superfície do semiconductor em contato com o óxido; ou seja, $\phi_s = \phi_F$. Este é o valor do potencial ϕ_s que determina o limite entre as regiões de depleção ($0 < \phi_s < \phi_F$) e inversão ($\phi_s > \phi_F$).

Outro fator relevante para o equacionamento a seguir é a distribuição de cargas ao longo da estrutura MOS. A carga Q'_g é dada por:

$$Q'_g = C'_{ox} \cdot \phi_{ox} \quad (2.8)$$

onde

$$C'_{ox} = \frac{\epsilon_{ox}}{d_{ox}} \quad (2.9)$$

é a capacitância do óxido por unidade de área, ϵ_{ox} é a permissividade do óxido e d_{ox} é a espessura do óxido.

Já as cargas contidas no semiconductor são determinadas por [11]:

$$Q'_c = \mp F \sqrt{N_A} \cdot \sqrt{\phi_t e^{-\phi_s/\phi_t} + \phi_s - \phi_t + e^{-2\phi_F/\phi_t} (\phi_t e^{\phi_s/\phi_t} - \phi_s - \phi_t)} \quad (2.10)$$

onde $F = \sqrt{2q\epsilon_s}$. O sinal negativo deve ser usado quando $\phi_s > 0$ (depleção ou inversão) e o sinal positivo quando $\phi_s < 0$ (acumulação). É importante notar

que, para uma temperatura constante, a carga Q'_c é função apenas do potencial ϕ_s . Assim:

$$Q'_c = Q'_c(\phi_s) \quad (2.11)$$

As equações (2.1), (2.3) e (2.8) contém cinco variáveis, três das quais são potenciais (V_{gb} , ϕ_{ox} , ϕ_s) e duas são cargas por unidade de área (Q'_g , Q'_c). Com a utilização destas equações e da igualdade $V_{FB} = -Q'_o/C_{ox} + \phi_{ms}$, é possível obter uma relação entre V_{gb} e ϕ_s . Eliminando as outras variáveis obtém-se:

$$V_{gb} = V_{FB} + \phi_s - \frac{Q'_c(\phi_s)}{C'_{ox}} \quad (2.12)$$

Esta equação será utilizada na determinação da capacitância da estrutura MOS.

2.5 - Capacitância para Pequenos Sinais

Se V_{gb} sofre um pequeno incremento ΔV_{gb} , então irá fluir uma carga $\Delta Q'_g$ para o terminal de porta (G). Devido ao princípio de conservação de carga elétrica, uma carga $-\Delta Q'_g$ de igual valor deve fluir para o terminal de substrato (B). Logo, pode-se definir uma capacitância incremental (pequenos sinais) por unidade de área C'_{gb} que expressa uma variação de carga devido a uma variação da tensão. Isto é ilustrado na Figura 2.3, onde

$$C'_{gb} \equiv \frac{dQ'_g}{dV_{gb}} \quad (2.13)$$

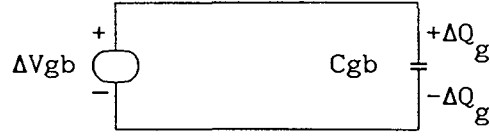


FIGURA 2.3 - Representação do Modelo Simplificado do Capacitor para Pequenos Sinais

Como

$$Q'_g = Q'_g(\phi_{ox}) \quad (2.14)$$

$$Q'_c = Q'_c(\phi_s) \quad (2.15)$$

e

$$V_{gb} = V_{gb}(\phi_{ox}, \phi_s) \quad (2.16)$$

pode-se expressar a capacitância C'_{gb} como sendo

$$\frac{1}{C'_{gb}} = \frac{d\phi_{ox}}{dQ'_g} + \frac{d\phi_s}{dQ'_c} \quad (2.17)$$

ou ainda, utilizando a equação de equilíbrio de cargas (2.4),

$$\frac{1}{C'_{gb}} = \frac{1}{dQ'_g/d\phi_{ox}} + \frac{1}{-dQ'_c/d\phi_s} \quad (2.18)$$

A partir desta igualdade pode-se interpretar o capacitor C'_{gb} como sendo composto por dois capacitores em série, conforme mostrado na Figura 2.4 onde, por definição:

$$\frac{dQ'_g}{d\phi_{ox}} \equiv C'_{ox} \quad (2.19)$$

$$\frac{dQ'_c}{d\phi_s} \equiv -C'_c \quad (2.20)$$

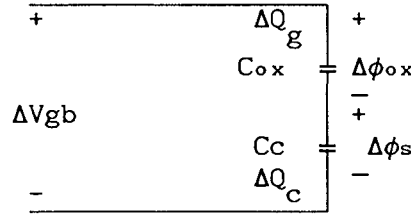


FIGURA 2.4 - Modelo Enfatizando os Capacitores Intrínsecos da Estrutura

Assim, combinando as equações (2.18), (2.19) e (2.20), tem-se:

$$\frac{1}{C'_{gb}} = \frac{1}{C'_{ox}} + \frac{1}{C'_c} \quad (2.21)$$

A expressão de C'_c pode ser determinada derivando-se a equação (2.10) em relação a ϕ_s . Logo:

$$C'_c = \pm FVNa \left[\frac{1 - e^{-\phi_s/\phi_t} + e^{-2\phi_F/\phi_t} (e^{\phi_s/\phi_t} - 1)}{2\sqrt{\phi_t e^{-\phi_s/\phi_t} + \phi_s - \phi_t + e^{-2\phi_F/\phi_t} (\phi_t e^{\phi_s/\phi_t} - \phi_s - \phi_t)}} \right] \quad (2.22)$$

As equações (2.8), (2.12), (2.21) e (2.22), conduzem à obtenção das curvas da Figura 2.5, que representam a relação $C \times V$ do capacitor MOS de dois terminais. Foram utilizados, para isso, as constantes Tabela 2.1 e o potencial de superfície ϕ_s (variável auxiliar intermediária). Para frequências inferiores a aproximadamente 100 Hz, só a curva contínua é válida como modelo $C \times V$ do capacitor; no entanto, para frequências superiores a este valor, a curva contínua não mais valerá para todas as regiões de operação e nesta condição, a curva seguirá, na região de inversão, a linha tracejada. Com a introdução do terminal de contato C, que serve como uma fonte de portadores, a relação $C \times V$ do capacitor TT-MOS terá, entretando, o mesmo comportamento da curva contínua do capacitor de dois terminais em baixa

freqüência. Apenas para freqüências extremamente altas (na faixa de gigahertz), a relação $C \times V$ representada pela curva contínua perderá a validade [11]. Assim, todo tratamento a seguir será feito levando apenas em consideração a curva contínua da Figura 2.5.

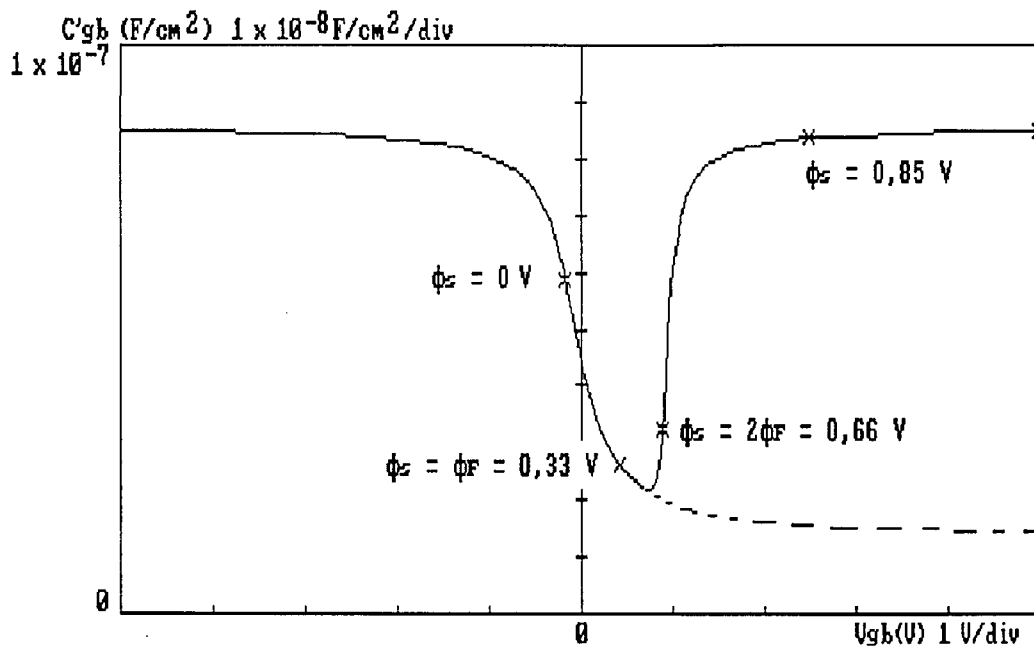


FIGURA 2.5 → Curva CxV do Capacitor

2.6 - Não-linearidades

Apesar de a estrutura de porta MOS apresentar uma característica de capacitância não linear, é possível utilizá-la em circuitos lineares. Para tanto, a mesma será polarizada em uma região conveniente [7,8], onde o nível de distorção introduzido seja tolerável para o tipo de aplicação desejada.

Como se pode notar na curva da Figura 2.5, tanto na região de inversão como na região de acumulação a capacitância apresenta uma

característica aproximadamente constante, sugerindo que a estrutura de porta pode ser empregada como capacitor linear desde que adequadamente polarizada.

Nas próximas seções, as características de uma estrutura MOS de três terminais polarizada na região de inversão forte são investigadas. Para tanto, é desenvolvido um modelo simplificado para a capacitância MOS polarizada nesta região, o qual é função de parâmetros de projeto. Em seguida, no Capítulo 3, é proposta uma técnica para aplicação deste modelo na análise de redes SC que utilizem tais capacitores.

2.7 - Aproximação na Região de Inversão Forte

Considere-se a estrutura polarizada na região de inversão forte e que, além disso, $\phi_s \ll \phi_t$ e $e^{(\phi_s - 2\phi_F)/\phi_t}$. Note que para $\phi_s \geq 2\phi_F + 4\phi_t$ tem-se $\phi_s \approx 0,075\phi_t e^{(\phi_s - 2\phi_t)/\phi_t}$. Nesta região, podemos aproximar a expressão (2.10) por:

$$Q'_c \cong -F \sqrt{N_a \phi_t} e^{(\phi_s - 2\phi_F)/2\phi_t} \quad (2.23)$$

Isolando ϕ_s na equação (2.23) e substituindo na equação (2.12) tem-se:

$$V_{gb} \cong V_{FB} + 2\phi_F + 2\phi_t \ln \left[\frac{Q'_c}{-F \sqrt{N_a \phi_t}} \right] - \frac{Q'_c}{C'_{ox}} \quad (2.24)$$

Derivando (2.24) em relação a V_{gb} mostra-se que

$$\frac{dQ'_c}{dV_{gb}} \cong \frac{C'_{ox} Q'_c}{2\phi_t C'_{ox} - Q'_c}$$

Sabendo que $C'_{gb} = - \frac{dQ'_c}{dV_{gb}} = \frac{dQ'_g}{dV_{gb}}$, tem-se:

$$C'_{gb} \cong - \frac{C'_{ox} Q'_c}{2\phi_t C'_{ox} - Q'_c} \quad (2.25)$$

Em inversão forte o potencial de superfície ϕ_s assume um valor aproximadamente constante. Frequentemente o valor $2\phi_F$ é assumido na literatura, o que, no entanto leva a discrepância entre valores medidos e teóricos das equações do transistor MOS. Neste trabalho, utiliza-se para a região de inversão forte, $\phi_s = 2\phi_F + \phi_x$, onde ϕ_x assume valores entre $6\phi_t$ e $8\phi_t$, conforme [11].

Substituindo então $\phi_s = 2\phi_F + \phi_x$ em (2.12), tem-se

$$V_{gb} \cong V_{FB} + 2\phi_F + \phi_x - \frac{Q'_c}{C'_{ox}} \quad (2.26)$$

Isolando o termo Q'_c , obtém-se

$$Q'_c \cong -C'_{ox}(V_{gb} - V_{FB} - 2\phi_F - \phi_x) \quad (2.27)$$

Uma definição importante para o presente desenvolvimento é a de tensão de limiar V_T [11], que corresponde ao valor da tensão V_{gb} para o qual $\phi_s = 2\phi_F$.

É importante notar que, para o cálculo de V_T , a expressão

simplificada (2.23) para Q'_c não pode ser utilizada, porque a tensão de limiar V_T não caracteriza uma polarização em inversão muito forte, condição imposta na dedução de (2.23). Assim, substituindo ϕ_s por $2\phi_F$ na equação (2.12) e levando em consideração que $\phi_t \ll 2\phi_F$ em (2.10), obtém-se a expressão clássica da tensão de limiar:

$$V_T \cong V_{FB} + 2\phi_F + \gamma \sqrt{2\phi_F} \quad (2.28)$$

onde $\gamma = \frac{F\sqrt{Na}}{C'_{ox}}$ é o coeficiente de efeito de corpo.

Isolando V_{FB} e substituindo na expressão (2.27) tem-se:

$$Q'_c \cong -C'_{ox}(V_{gb} - V_T - \phi_x + \gamma \sqrt{2\phi_F}) \quad (2.29)$$

Substituindo (2.29) em (2.25) obtém-se:

$$C'_{gb} \cong \frac{C'_{ox}}{1 + \frac{2\phi_t}{V_{gb} - V_T - \phi_x + \gamma \sqrt{2\phi_F}}} \quad (2.30)$$

como $\frac{2\phi_t}{V_{gb} - V_T - \phi_x + \gamma \sqrt{2\phi_F}} \ll 1$ obtém-se, finalmente, a expressão desejada para a capacitância C'_{gb} .

$$C'_{gb} \cong C'_{ox} \left[1 - \frac{2\phi_t}{V_{gb} - V_T - \phi_x + \gamma \sqrt{2\phi_F}} \right] \quad (2.31)$$

A partir da análise numérica, notou-se que em uma região onde V_{gb} é maior que 1,5 volts (inversão forte) pode-se assumir ϕ_x da ordem de 0,15 a 0,23 Volts para que se tenha uma boa aproximação da curva de C'_{gb} x V_{gb} .

A Figura 2.6 apresenta uma comparação entre a curva teórica e a aproximação referente à expressão (2.31). Pode-se observar que, para tensões superiores a cerca de $2V_T$, a expressão obtida oferece uma boa aproximação da curva teórica. Além disso, trata-se de uma expressão simples e que evidencia a dependência da capacitância em relação à tensão aplicada.

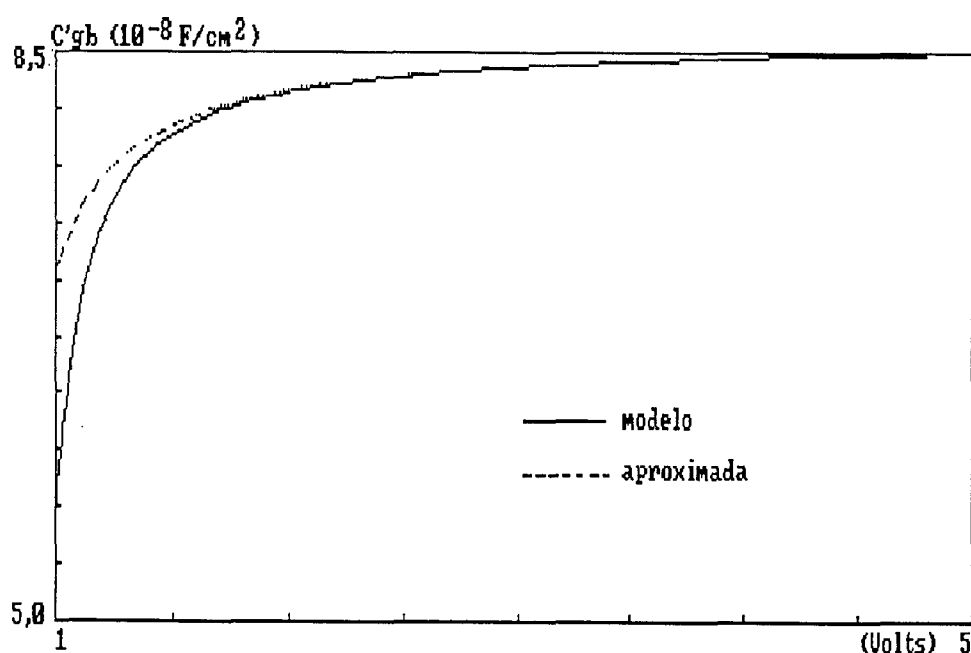


FIGURA 2.6 - Curva C_xV Mostrando a Aproximação Utilizada na Região de Inversão

2.8 - Aproximação Polinomial

Apesar de a expressão (2.31) apresentar a relação C_xV desejada, a forma mais adequada para que a distorção harmônica seja quantificada (Capítulo 3) é a polinomial, dada por:

$$C'_{gb} \cong C'_{gb}(V_{pol}) \left\{ 1 + \alpha_1 v + \alpha_2 v^2 + \alpha_3 v^3 + \dots \right\} \quad (2.32)$$

onde $C'_{gb}(V_{pol})$ é a capacitância obtida através da expressão (2.31) para o potencial V_{pol} de polarização aplicado, v é a excursão do sinal em torno de V_{pol} e os coeficientes α_k são dados por

$$\alpha_k = \frac{1}{C'_{gb}(V_{pol})} \frac{1}{k!} \left. \frac{d^k C'_{gb}(V_{gb})}{(dV_{gb})^k} \right|_{V_{gb}=V_{pol}}$$

Procedendo o cálculo dos α 's, tem-se:

$$\alpha_k = \frac{(-1)^{k+1} 2\phi_t}{(V_{pol} - V' - 2\phi_t)(V_{pol} - V')^k} \quad (2.33)$$

onde $V' = V_T + \phi_x - \gamma \sqrt{2\phi_F}$

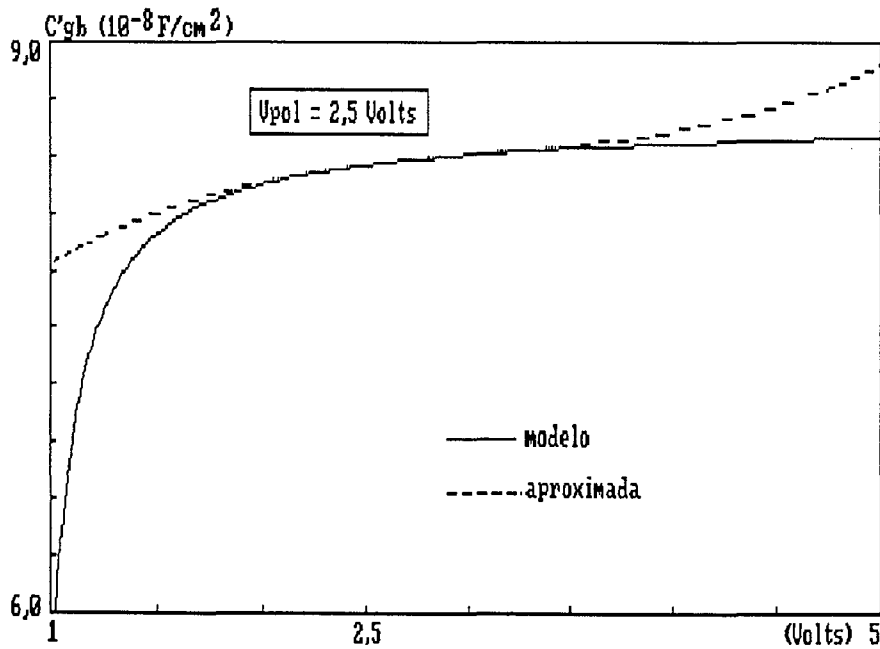


FIGURA 2.7 - Curvas CxV com Aproximação em Torno do Ponto de Polarização de 2,5V

Os gráficos das Figuras 2.7 e 2.8 apresentam os traçados da equação (2.32), com α_k calculado até $k = 3$, para duas tensões de polarização ($V_{pol} = 2,5 \text{ V}$ e $V_{pol} = 5 \text{ V}$).

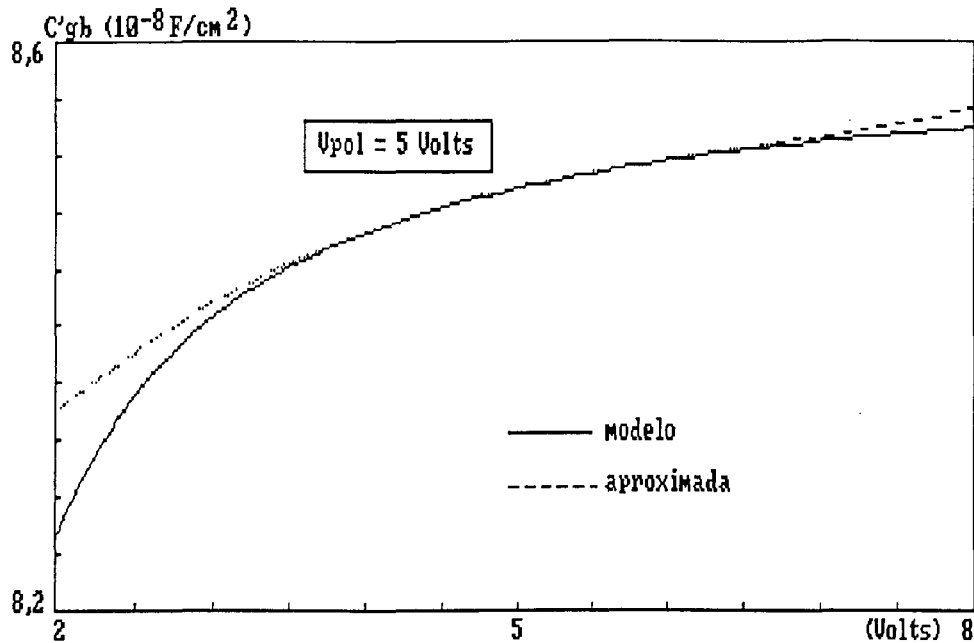


FIGURA 2.8 - Curvas CxV com Aproximação em Torno do Ponto de Polarização de 5V

A observação destas figuras revela que a aproximação obtida é válida para excursões de sinal bem razoáveis em torno do ponto de operação.

2.9 - Cálculo da Distorção Harmônica da Carga na Estrutura de Porta do Transistor MOS

A fim de avaliar a validade da expressão (2.32) considere-se o circuito da Figura 2.9.



FIGURA 2.9 - Circuito Utilizado para Verificação da DHT em $Q(v)$

Sendo V_{in} uma tensão senoidal de amplitude V_p , obtém-se a forma de onda da carga no capacitor em função de V_p de duas maneiras: uma, através do modelo analítico (eqs. (2.8), (2.12), (2.21) e (2.22)) e outra através da expressão (2.32), truncada a partir do termo de ordem 4. O valor da DHT relativa ao modelo analítico foi obtido por meio de um programa para determinação dos coeficientes da série de Fourier do sinal de carga, truncada a partir da 10ª harmônica. Os resultados são apresentados na Figura 2.10. O ponto de polarização utilizado foi de 2,5 Volts e os parâmetros tecnológicos, os da Tabela 2.1.

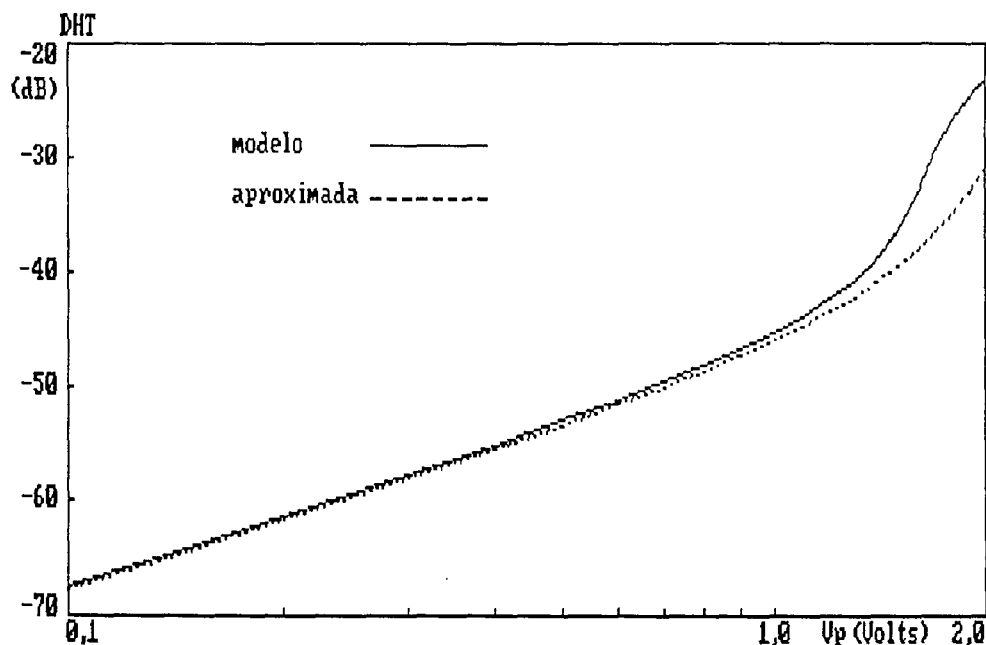


FIGURA 2.10 - DHT's da Carga do Circuito da Figura 2.9

A comparação dos resultados obtidos mostra uma discrepância máxima inferior a 2,5 dB entre as duas curvas para amplitudes de pico abaixo de 1,5 volts.

Assim, apesar de a equação (2.32) ter sido truncada no 3º termo, a mesma representa um auxílio considerável ao projetista de circuitos integrados na avaliação de redes empregando estruturas MOS de três terminais.

Considerando a expressão (2.32) truncada a partir do termo de ordem 2 e aproximando a expressão (2.33) para $k=1$, conforme mostrado no Apêndice 1, por:

$$\alpha_1 \cong \frac{2\phi t}{(V_{po1}-V')^2} \quad (2.34)$$

obtém-se a distorção de 2ª harmônica da carga para uma tensão sinusoidal de entrada, dada por:

$$DH2^a \cong \frac{V_p \cdot \phi t}{2(V_{po1}-V')^2} \quad (2.35)$$

onde V_p é a tensão de pico da entrada sinusoidal, conforme mostrado no Apêndice 1. Para excursões relativamente pequenas a equação (2.35) é uma boa aproximação para a distorção harmônica total, por tratar-se de expressão adequada para projetistas.

2.10 - Conclusão

O estudo do modelo matemático do capacitor TT-MOS, aqui

apresentado, permitiu-nos fazer as aproximações necessárias à obtenção da expressão (2.32), que caracteriza a relação CxV do capacitor.

Foi mostrado, tanto através do uso do modelo quanto da expressão (2.32), que o capacitor TT-MOS polarizado na região de inversão forte pode ser usado em circuitos analógicos sem perda significativa de linearidade; por exemplo, para excursão de sinal da ordem de 3V, é possível obter distorção harmônica da carga inferior a 1% no capacitor, utilizando parâmetros de uma tecnologia CMOS 5V. Tal constatação é especialmente significativa tanto para circuitos SC, que operam sob o princípio de transferência de carga elétrica, quanto para circuitos contínuos OTA-C, onde os capacitores são excitados por fontes de corrente controlada, os OTA's. A polarização dos capacitores TT-MOS nos circuitos SC tem como dificuldade adicional amplificadores operacionais com tensão de modo comum até o valor da tensão de uma das fontes de alimentação caso se deseje máxima excursão do sinal [8]. Estruturas OTA-C com capacitores aterrados, por sua vez, podem ter seus capacitores facilmente polarizados; basta conectar seu terminal aterrado à fonte de alimentação adequada à sua polarização.

No próximo Capítulo será mostrado que o uso da expressão (2.32) irá permitir, de forma simplificada, a análise do conteúdo harmônico do sinal de saída de uma rede a capacitores chaveados que utiliza o capacitor aqui descrito.

C A P Í T U L O 3

ANÁLISE DE DISTORÇÃO HARMÔNICA DEVIDO AOS CAPACITORES EM UMA REDE SC BIQUADRÁTICA

3.1 - Introdução

Este capítulo apresenta um novo método para a análise de distorção harmônica, devida exclusivamente a capacitores não lineares, numa rede a capacitores chaveados (SC) [31]. No desenvolvimento do método optou-se por uma solução aproximada, a qual permite um equacionamento analítico com clara interpretação física. Os resultados obtidos oferecem uma precisão suficiente do ponto de vista prático se as não-linearidades presentes forem razoavelmente reduzidas, como é esperado no emprego dos capacitores apresentados no Capítulo 2. A utilização do método proposto requer apenas o conhecimento dos coeficientes da função de transferência no domínio z e os coeficientes do polinômio que descreve a característica $C \times V$ do capacitor.

Utilizando o método proposto, a distorção harmônica em uma rede SC biquadrática é analisada, uma vez que esta representa um dos blocos mais importantes na implementação de filtros SC [10]. Resultados obtidos através de simulação mostram que é possível obter uma excursão de tensão da ordem de 3V numa tecnologia CMOS 5V, sem prejuízo significativo da linearidade da

resposta.

Visando à avaliação da técnica proposta, é feita uma comparação entre os resultados obtidos com a utilização deste método e os obtidos fazendo uma simulação do circuito com o programa SPICE [13].

Conforme ressaltado nos capítulos anteriores, o objetivo deste trabalho é a implementação de circuitos a capacitores chaveados utilizando a estrutura de porta de transistores MOS como capacitor. No Capítulo 2 a capacitância desta estrutura foi determinada, tendo sido apresentada uma aproximação polinomial para a mesma, em torno do ponto de operação. Esta aproximação foi então empregada na análise da distorção harmônica introduzida pelo capacitor proposto na resposta de um sistema simples.

A análise da distorção harmônica em redes práticas a capacitores chaveados, entretanto, requer métodos mais elaborados. Recentemente, vários trabalhos têm sido apresentados na literatura propondo técnicas de análise de redes SC com elementos não lineares [27,29,30]. No entanto, os métodos previamente propostos resultam em equacionamentos complexos que exigem grande esforço computacional e dificultam uma interpretação física dos resultados.

3.2 - Descrição do Método

Nesta seção o método proposto é apresentado através da análise de uma estrutura biquadrática específica [5,9,10]. Entretanto, isto é feito apenas para a clareza da apresentação, uma vez que verifica-se facilmente que

a mesma técnica e as mesmas conclusões podem ser empregadas na análise de qualquer rede SC.

Considere-se a rede biquadrática SC da Figura 3.1a [5,9,10], cujo diagrama de tempo é detalhado na Figura 3.1b. Nesta estrutura os capacitores são constituídos por placa superior de polissilício e placa inferior de poço N, mantida no potencial V_{DD} . O contato da placa inferior é uma difusão P^+ , cujo potencial é mantido em V_{DD} através das chaves ou, virtualmente, através dos amplificadores operacionais. Nas condições onde o potencial da placa de polissilício é menor que $V_{DD} - V_T$ (V_T é a tensão de limiar), as estruturas capacitivas operam em inversão forte. Assim, para obter-se máxima excursão de sinal sem prejuízo significativo da linearidade das capacitâncias do circuito, os amplificadores operacionais devem ser capazes de operar com tensão de modo comum elevada. Uma forma possível para conseguir esta característica é a utilização de estruturas "folded cascode" [2] na sua implementação.

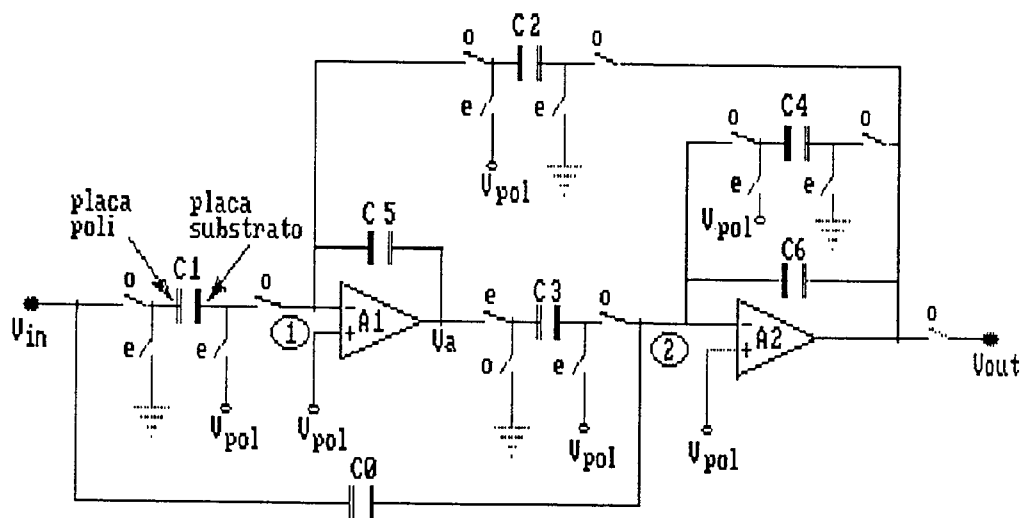


FIGURA 3.1a - Rede Biquadrática. Diagrama Esquemático do Circuito.

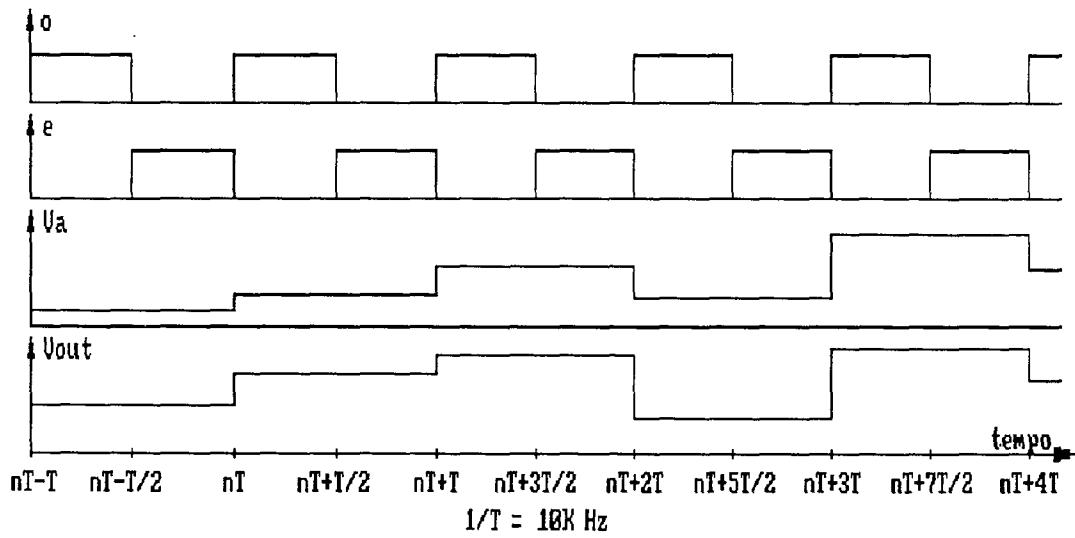


FIGURA 3.1b - Rede Biquadrática. Diagrama de Tempo.

Para a análise desta rede, considera-se que as várias capacitâncias possam ser modeladas por uma relação $C \times V$ do tipo da expressão obtida no capítulo 2 e repetida aqui:

$$C(v) = C(V_{pol}) \left\{ 1 + \alpha_1 v + \alpha_2 v^2 + \alpha_3 v^3 + \dots \right\} \quad (3.1)$$

onde V_{pol} é o potencial de polarização, v é a excursão do sinal em torno de V_{pol} e os coeficientes α_k 's são obtidos utilizando a expressão (2.33) deduzida no Capítulo 2.

Tomando como referência de tempo $t = nT$ os instantes de chaveamento da fase "o" do sinal de "clock", conforme a Figura 3.1b, podemos escrever as quatro equações abaixo, para o circuito da Figura 3.1:

Nó 1: fase "e" ($t = nT - T/2$)

$$Q_5(nT - T/2) - Q_5(nT - T) = 0 \quad (3.2)$$

Nó 1: fase "o" ($t = nT$)

$$Q_1(nT) + Q_2(nT) + Q_5(nT) - Q_5(nT - T/2) = 0 \quad (3.3)$$

Nó 2: fase "e" ($t = nT - T/2$)

$$Q_0(nT - T/2) - Q_0(nT - T) + Q_6(nT - T/2) - Q_6(nT - T) = 0 \quad (3.4)$$

Nó 2: fase "o" ($t = nT$)

$$Q_0(nT) - Q_0(nT - T/2) + Q_6(nT) - Q_6(nT - T/2) - Q_3(nT - T/2) + Q_4(nT) = 0 \quad (3.5)$$

onde Q_i é a carga no capacitor C_i no instante de tempo considerado.

A partir das equações (3.2), (3.3), (3.4) e (3.5) obtém-se

$$Q_5(nT) - Q_5(nT - T) = -Q_1(nT) - Q_2(nT) \quad (3.6)$$

e

$$Q_3(nT - T/2) = Q_0(nT) - Q_0(nT - T) + Q_6(nT) - Q_6(nT - T) + Q_4(nT) \quad (3.7)$$

Deslocando a equação (3.7) em um período T adiante tem-se:

$$Q_3(nT + T/2) = Q_0(nT + T) - Q_0(nT) + Q_6(nT + T) - Q_6(nT) + Q_4(nT + T) \quad (3.8)$$

Subtraindo-se (3.7) de (3.8) tem-se:

$$\begin{aligned} Q_3(nT + T/2) - Q_3(nT - T/2) &= Q_0(nT + T) - 2Q_0(nT) + Q_6(nT + T) - 2Q_6(nT) + \\ &+ Q_6(nT - T) + Q_4(nT + T) - Q_4(nT) \end{aligned} \quad (3.9)$$

Considerando cada capacitor como $C_i(v)$, onde o índice i diz

respeito à denominação do capacitor na rede, pode-se escrever a equação das cargas Q_i como:

$$Q_i(v) = C_i(v) \cdot v \quad (3.10)$$

Substituindo $C_i(V_{pol})$ por C_{i0} na equação (3.1) e considerando (3.10), pode-se escrever:

$$\begin{aligned} \frac{Q_5(nT) - Q_5(nT-T)}{C_{50}} &= va(nT) - va(nT-T) + \alpha_1 \left[va^2(nT) - va^2(nT-T) \right] + \\ &+ \alpha_2 \left[va^3(nT) - va^3(nT-T) \right] + \dots \end{aligned} \quad (3.11)$$

$$\begin{aligned} \frac{Q_3(nT+T/2) - Q_3(nT-T/2)}{C_{30}} &= va(nT+T/2) - va(nT-T/2) + \\ &+ \alpha_1 \left[va^2(nT+T/2) - va^2(nT-T/2) \right] + \alpha_2 \left[va^3(nT+T/2) - va^3(nT-T/2) \right] + \dots \end{aligned} \quad (3.12)$$

Além disso, pelo diagrama de tempo da Figura 3.1b, nota-se que $va(nT+T/2) = va(nT)$ e $va(nT-T/2) = va(nT-T)$; logo, obtém-se:

$$\frac{Q_5(nT) - Q_5(nT-T)}{C_{50}} = \frac{Q_3(nT+T/2) - Q_3(nT-T/2)}{C_{30}} \quad (3.13)$$

Neste equacionamento, os coeficientes α_k 's de todos os capacitores foram considerados iguais para um mesmo k . Isto porque todos os capacitores estão polarizados no mesmo ponto de operação e supõe-se que tenham características casadas.

Supondo os capacitores lineares ($\alpha_k = 0$), chega-se à seguinte

equação de diferenças envolvendo a entrada V_{in} e a saída V_{out} na fase "o":

$$\sum_{m=-1}^1 D_m V_{out}(nT+mT) = \sum_{m=-1}^1 N_m V_{in}(nT+mT) \quad (3.14)$$

onde $D_{-1} = 1$, $D_0 = \left[\frac{C_{20}}{C_{50}} \frac{C_{30}}{C_{60}} - \frac{C_{40}}{C_{60}} - 2 \right]$, $D_1 = \left[1 + \frac{C_{40}}{C_{60}} \right]$,

$$N_{-1} = -\frac{C_{00}}{C_{60}}, \quad N_0 = -\left[\frac{C_{10}}{C_{50}} \frac{C_{30}}{C_{60}} - 2 \frac{C_{00}}{C_{60}} \right], \quad N_1 = \frac{C_{00}}{C_{60}}$$

É importante notar que os coeficientes D_m e N_m correspondem aos coeficientes do denominador e do numerador, respectivamente, da função de transferência $H(z) = V_{out}^o(z)/V_{in}^o(z)$ da rede com componentes lineares.

Considerando (3.10) e manipulando as equações (3.6), (3.9) e (3.13) para o caso genérico ($\alpha_k \neq 0$), tem-se:

$$\sum_{m=-1}^1 D_m V_{out}(nT+mT) \cdot f[V_{out}(nT+mT)] = \sum_{m=-1}^1 N_m V_{in}(nT+mT) \cdot f[V_{in}(nT+mT)] \quad (3.15)$$

onde $f[V]$ é uma função definida da seguinte forma:

$$f[V] = 1 + \sum_{k=1}^{\infty} \alpha_k V^k \quad (3.16)$$

A forma da função $f[V]$ advém da dependência não linear da carga do capacitor com a tensão aplicada, conforme mostrado no Capítulo 2.

Note que a expressão (3.15), com $f[V] = 1$ ($\alpha_k = 0 \forall k$), reproduz exatamente a expressão (3.14), referente ao caso de capacitâncias lineares.

Para o cálculo da distorção harmônica da saída, considere-se, como sinal de entrada $V_{in}(nT) = V_p \cos(n\omega_0 T)$. A esta entrada sinusoidal irá corresponder um sinal de saída V_{out} que pode ser expresso como:

$$V_{out}(nT) = \sum_{i=1}^{\infty} V_{b_i} \cos(in\omega_0 T + \phi_{b_i}) \quad (3.17)$$

As parcelas da expressão (3.17) para $i \geq 2$ representam a distorção harmônica do sinal de saída. A expressão (3.15) pode então ser utilizada, em conjunto com (3.17), para determinar as amplitudes (V_{b_i}) e fases (ϕ_{b_i}) das harmônicas do sinal de tensão de saída. Para tanto, suponha-se as seguintes hipóteses simplificadoras:

i) Os erros devido às não-linearidades são pequenos, isto é, $|\alpha_k V^k| \ll 1$. Portanto, a amplitude V_{b_1} e a fase ϕ_{b_1} da fundamental de saída podem ser aproximadas por:

$$V_{b_1} = V_p |H(z)| \Big|_{z = e^{j\omega_0 T}} \quad (3.18)$$

$$\phi_{b_1} = \text{Fase} [H(z)] \Big|_{z = e^{j\omega_0 T}} \quad (3.19)$$

onde $H(z) = N(z)/D(z)$ é a função de transferência ideal, com entrada e saída relativas à fase "o".

ii) Uma vez que a distorção harmônica do sinal de saída é pequena, a função $f[V_{out}]$ pode ser aproximada por:

$$f[V_{out}] \approx f[V_{out}] \Big|_{V_{out} = V_{b_1} \cos(n\omega_0 T + \phi_{b_1})} \quad (3.20)$$

Considerando (i) e (ii) pode-se, então, a partir da expressão (3.15), obter as amplitudes e fases das demais harmônicas do sinal de saída. Após consideráveis manipulações algébricas, detalhadas no Apêndice 2, tem-se, para $i \geq 2$:

$$|Vb_i| = |V_p a_i H(z) - Vb_1 b_i e^{j i \phi_{b_1}}|_{z = e^{j i \omega_0 T}} \quad (3.21)$$

$$\phi_{b_i} = \text{Fase} \left[V_p a_i H(z) - Vb_1 b_i e^{j i \phi_{b_1}} \right]_{z = e^{j i \omega_0 T}} - \text{FD}_i \quad (3.22)$$

onde FD_i é a fase do denominador de $H(z)$ para $z = e^{j i \omega_0 T}$ e os coeficientes a_i e b_i para $i = 2, 3$ são dados por:

$$a_2 = 1/2 \alpha_1 V_p + 4/8 \alpha_3 V_p^3 + 15/32 \alpha_5 V_p^5 + \dots$$

$$b_2 = 1/2 \alpha_1 Vb_1 + 4/8 \alpha_3 Vb_1^3 + 15/32 \alpha_5 Vb_1^5 + \dots$$

$$a_3 = 1/4 \alpha_2 V_p^2 + 5/6 \alpha_4 V_p^4 + 21/64 \alpha_6 V_p^6 + \dots$$

$$b_3 = 1/4 \alpha_2 Vb_1^2 + 5/6 \alpha_4 Vb_1^4 + 21/64 \alpha_6 Vb_1^6 + \dots$$

É importante enfatizar que as expressões (3.21) e (3.22) são extremamente simples e eficientes que podem ser utilizadas como ferramenta de projeto. Desta forma, evita-se recorrer a ferramentas computacionais de análise de distorção harmônica em projetos de redes SC que venham a utilizar o capacitor de três terminais que foi proposto no Capítulo 2.

3.3 - Exemplo de Aplicação

A técnica de análise desenvolvida foi aplicada a um filtro passa-baixas cuja função de transferência ideal é dada por:

$$H(z) = \frac{-0,48163 z^{-1} - 0,96326 - 0,48163 z^1}{1,00000 z^{-1} - 2,74705 + 3,67368 z^1}$$

A síntese desta função utilizando a rede da Figura 3.1 leva aos valores relativos ($C_{50} = C_{60} = 1$) de capacitâncias apresentados na Tabela 3.1 [9,10]. A magnitude da resposta em frequência da rede ideal é apresentada na Figura 3.2.

$C_{00} = 0,482$	$C_{20} = 1,000$	$C_{40} = 2,674$	$C_{60} = 1,000$
$C_{10} = 1,000$	$C_{30} = 1,927$	$C_{50} = 1,000$	

TABELA 3.1 - Valores Relativos das Capacitâncias para a Rede da Figura 3.1

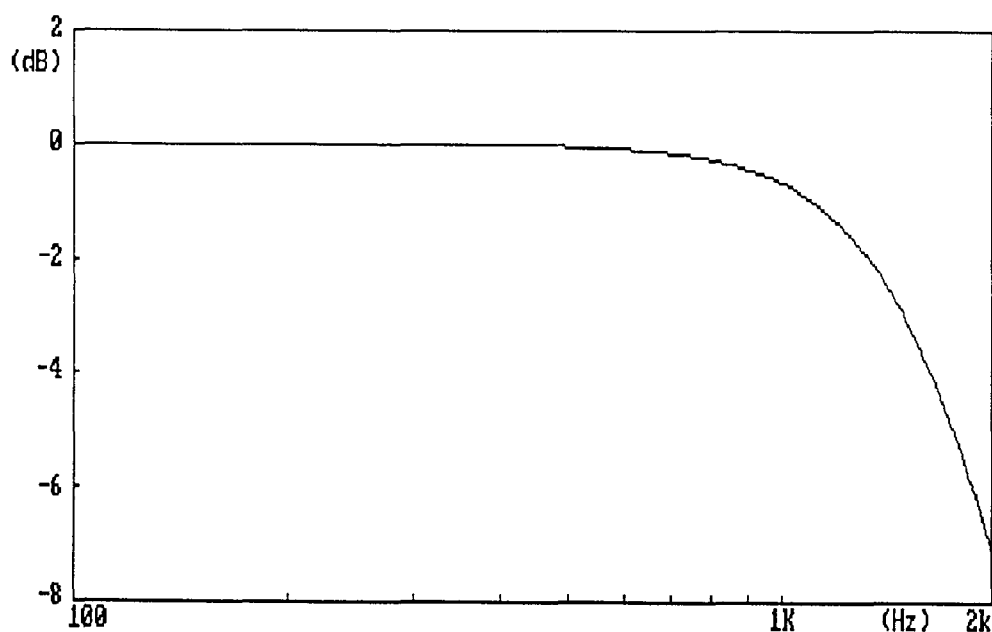


FIGURA 3.2 - Módulo da Resposta em Frequência da Rede da Figura 3.1

Para obter-se a distorção harmônica do circuito basta utilizar a função de transferência ideal do circuito e as expressões (3.18) e (3.19).

Com a finalidade de avaliar o método proposto, simulações foram feitas utilizando o programa SPICE [13]. Os resultados obtidos são apresentados no gráfico da Figura 3.3. Neste gráfico, as curvas contínuas representam a distorção harmônica total (considerando até a 9ª harmônica) obtida pelo emprego das equações (3.18) e (3.19). Os resultados das simulações com o programa SPICE estão assinalados sobre estas curvas. A distorção harmônica total é apresentada em função da frequência, para tensões de pico de 0,5, 1, e 1,5 V na entrada. Os coeficientes α_k dos capacitores foram determinados pela expressão (2.33), considerando o ponto de polarização de 2,5 Volts.

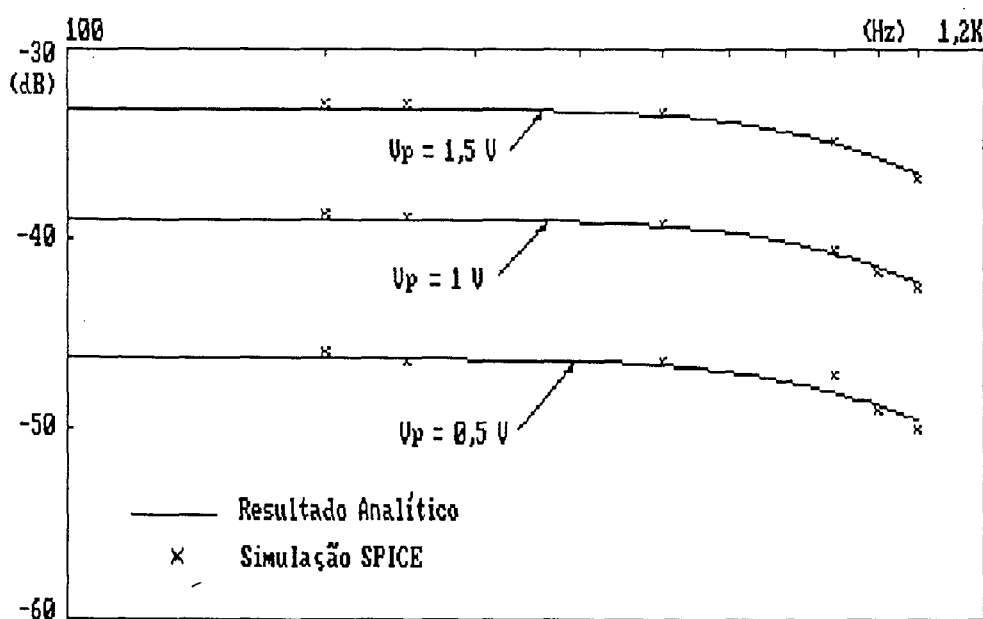


FIGURA 3.3 - Curvas de DHT (dB) Versus Frequência do Sinal de Entrada

É importante ressaltar que a simulação SPICE de uma simples rede de 2ª ordem como a da Figura 3.1, com capacitâncias não-lineares, envolve um considerável esforço computacional. Por outro lado, a utilização do método proposto neste trabalho é extremamente simples e de fácil aplicação. Os detalhes da simulação SPICE realizada são apresentados no Apêndice 3.

Os resultados apresentados na Figura 3.3 mostram a boa precisão obtida com a técnica de análise proposta. Esta precisão, associada a sua eficiência, fazem do novo método de análise uma alternativa viável à simulação numérica, sempre que as hipóteses i) e ii) mencionadas na seção 3.2 forem válidas. Estas hipóteses, entretanto, são bastante realistas para a grande maioria das aplicações onde a distorção harmônica deve ser pequena.

Os resultados obtidos com a simulação desta rede permitem também antecipar que, para muitas aplicações, o uso de estruturas de porta de transistores MOS como capacitores em redes SC pode contornar o problema da falta de capacitores duplo-poli sem sacrificar significativamente a performance do circuito, uma vez que a distorção harmônica que o circuito analisado apresentou é perfeitamente compatível com as distorções harmônicas dos circuitos a capacitores chaveados comercializados [14].

3.4 - Conclusão

Este capítulo apresentou uma nova técnica para a análise da distorção harmônica em redes a capacitores chaveados, devido exclusivamente à

utilização de capacitores não lineares. Esta técnica foi apresentada através de sua utilização na análise de uma rede biquadrática SC. Entretanto, pelo desenvolvimento apresentado, verificou-se que a mesma pode ser facilmente utilizada para analisar qualquer rede SC. A técnica proposta é extremamente simples de aplicar, uma vez que a distorção do sinal de saída é determinada a partir da função de transferência da rede ideal e da caracterização do capacitor TT-MOS.

C A P Í T U L O 4

PROJETO DOS FILTROS DE UM CODEC

4.1 - Introdução

A contínua redução dos custos dos circuitos de processamento de sinais digitais levou a indústria de telefonia a utilizar intensivamente a técnica de transmissão digital. Tal técnica envolve a transmissão do sinal de voz codificado digitalmente de uma localização para outra. Esta codificação pode ser realizada de várias maneiras, sendo a modulação por código de pulso (PCM) uma das mais utilizadas. O sinal PCM é gerado através da amostragem, quantização e codificação do sinal analógico de voz. Em um sistema de transmissão digital o dispositivo que realiza as tarefas de codificação e de decodificação dos sinais PCM é chamado "codificador-decodificador" ou, na forma abreviada, CODEC [4,15-17].

Os componentes de um caminho típico de transmissão de sinal de voz estão ilustrados na Figura 4.1 [4]. Na direção de transmissão, a linha do assinante é conectada ao "circuito de interface de linha do assinante" (SLIC). O SLIC realiza algumas tarefas, entre as quais a conversão de 2 para 4 fios, supervisão da linha, fornecimento de acesso à chamada e proteção de sobretensão. A seguir, o sinal passa por um filtro de transmissão, o qual limita seu espectro em aproximadamente 3400 Hz, atenuando suficientemente a parte do espectro que se estende além de 4000 Hz. Desta maneira é possível

que o sinal seja amostrado à taxa de 8000 Hz, recomendada pelo CCITT (Comitê Consultivo Internacional de Telegrafia e Telefonia) para um canal usual de voz, sem introduzir recobrimento significativo do espectro. Além disso, as frequências abaixo de 300 Hz contidas no espectro são também suprimidas pelo filtro de transmissão, para prevenir a transmissão de ruídos de linha (60 Hz).

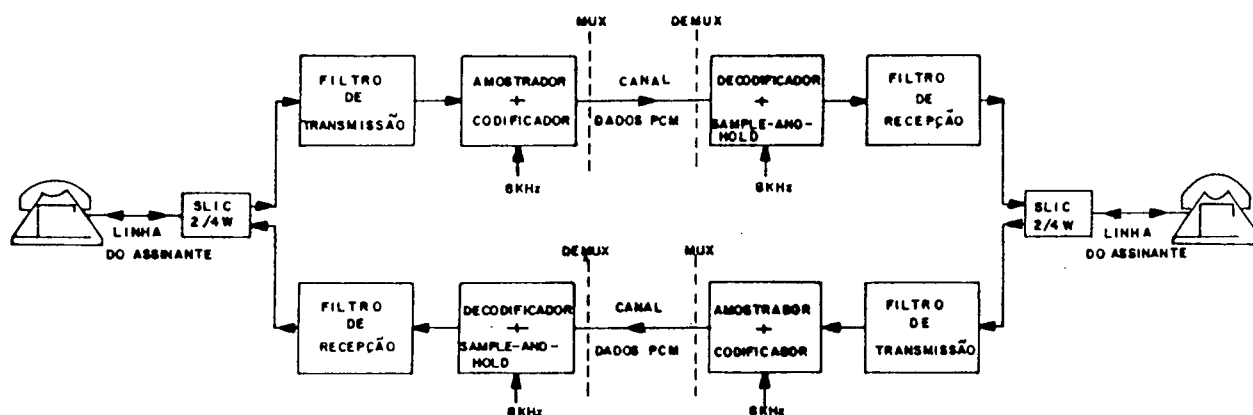


FIGURA 4.1 - Diagrama de Blocos de uma Transmissão Típica PCM

O sinal filtrado é, então, amostrado com taxa de 8000 Hz e codificado em PCM de 8 bits pelo codificador. A saída digital do codificador é multiplexada com outras saídas e o sinal resultante é finalmente transmitido através do canal. Na recepção, os dados que entram são demultiplexados, ou seja, distribuídos entre os vários canais, e reconvertidos à forma analógica pelo decodificador. O sinal analógico é amostrado pelo "sample-and-hold" a uma taxa de 8000 Hz e passa através do filtro de recepção. O filtro de recepção é um passa baixas de reconstrução, o qual remove as altas frequências contidas no espectro do sinal amostrado. É também usado para corrigir a distorção de amplitude (efeito $(\sin x)/x$)

introduzida pelo estágio "sample-and-hold". O sinal analógico retorna à linha do assinante através do SLIC.

Há várias maneiras de se realizar um CODEC completamente integrado de baixo custo. Um dos primeiros CODEC's deste tipo foi implementado usando filtros de dispositivo de carga acoplada (CCD) [4]. Com a evolução de técnica de filtragem a capacitores chaveados (SC), apareceram vários CODEC's usando filtros SC [15-17]. Estes CODEC's apresentam um desempenho substancialmente superior em relação aos seus predecessores em termos de precisão, ocupação de área no "chip" e custo de implementação. Entretanto, como os capacitores utilizados em tais filtros são em geral realizados com duas placas de polissício, torna-se necessária a utilização de uma tecnologia CMOS duplo-poli exclusivamente devido à implementação da parte analógica do circuito.

Neste Capítulo, a utilização da estrutura MOS de três terminais na realização dos capacitores dos filtros de transmissão e de recepção são projetados usando as técnicas de síntese por cascata de biquadradas. Comparada à síntese por simulação de redes RLC duplamente terminadas, a síntese em cascata oferece grandes vantagens em flexibilidade de projeto e em testabilidade. Aliada a estes fatores, a alta precisão obtida na realização de razões de capacitâncias faz desta técnica de síntese uma opção freqüente na realização de sistemas práticos [33].

Para implementação dos filtros são empregadas estruturas convencionais [4,9,10], adaptadas à utilização dos novos capacitores propostos no Capítulo 2 [7,8,31].

A avaliação dos filtros projetados é feita por simulação numérica usando o método Monte Carlo, pela utilização da técnica de análise de distorção harmônica proposta no Capítulo 3, e pela implementação física do circuito integrado através do Projeto Multiusuário Brasileiro (PMU).

4.2 - Especificações:

Os requisitos básicos para o canal como um todo são recomendados pelas normas (G.712) da CCITT [18]. Entretanto, na etapa inicial do projeto são observadas apenas as especificações de magnitude da resposta em frequência dos filtros de transmissão e de recepção, conforme mostrado na Figura 4.2 [19]. Para o filtro de recepção a magnitude da resposta para frequências superiores a 1 KHz deve ter especificações idênticas às da Figura 4.2 enquanto que abaixo deste valor a magnitude da resposta em frequência deste filtro deve se manter entre os limites assinalados em 1 KHz, conforme mostrado no detalhe da banda passante. Os demais requisitos estabelecidos em [18] são considerados em uma etapa posterior.

Para satisfazer estas especificações o filtro de transmissão é normalmente subdividido em dois. Um filtro passa baixas com a função de atenuar as frequências acima de 3400 Hz, e um passa altas para fazer a rejeição da frequência de linha (50/60 Hz). Na recepção é necessário apenas o filtro passa baixas, responsável pela reconstrução do sinal analógico.

Quanto às taxas de amostragem, como normalmente o circuito gerador de "clock" opera com frequências que são potências de 2, os filtros SC devem

ter suas frequências de amostragem compatíveis com esta condição.

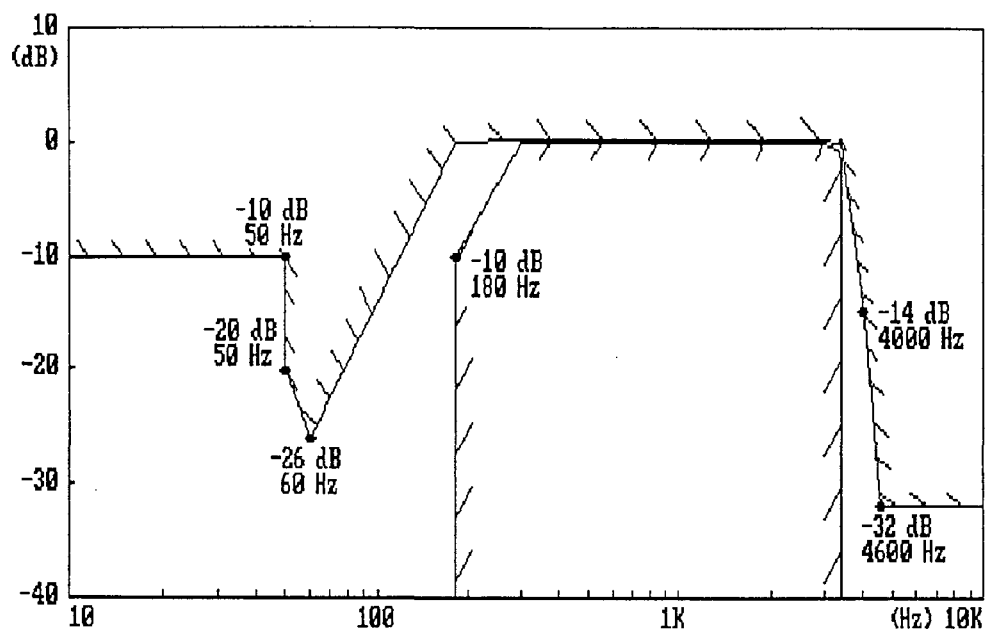


FIGURA 4.2a - Especificações de Magnitude da Resposta em Frequência para o Filtro de Transmissão de um CODEC PCM [19]

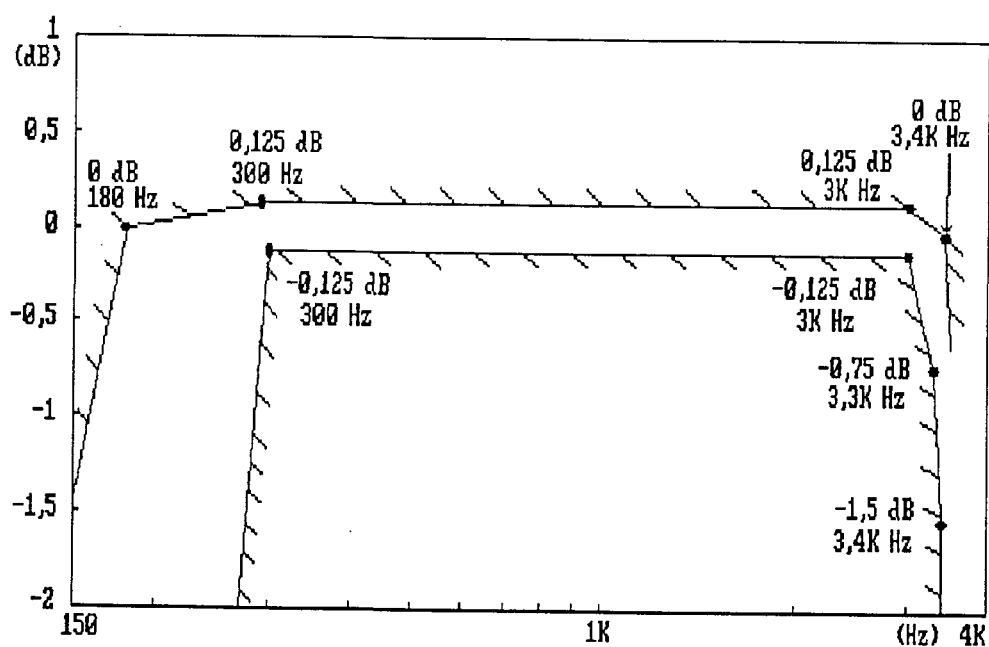
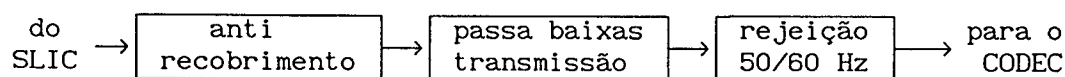


FIGURA 4.2b - Detalhe da Banda Passante [19]

4.3 - Arquitetura dos Filtros

Filtros SC são circuitos analógicos amostrados. Portanto, sua utilização no processamento de sinais físicos requer um pré-processamento através de um filtro passa baixas analógico contínuo, de forma a minimizar as distorções causadas pelo entrelaçamento de espectros ("aliasing") devido à amostragem. Além disso, a tensão de saída dos circuitos SC é usualmente um sinal "sample-and-hold"; por isso, para que o sinal retorne à forma analógica contínua desejada, é em geral necessária a utilização de um filtro passa baixas contínuo após os circuitos SC. Sua função é atenuar suficientemente as componentes do espectro do sinal decorrentes do processo de amostragem [4].

Devido às características de implementação do CODEC em questão, torna-se desnecessário o filtro de reconstrução na etapa de transmissão, uma vez que o sinal de saída do filtro SC já se encontra na forma apropriada à conversão A/D. Também são desnecessárias as filtragens contínuas na recepção. Isto porque o sinal de entrada do filtro SC é proveniente de uma conversão D/A e porque seu sinal de saída é amostrado a uma taxa elevada (256 KHz) o suficiente para que o ouvido humano não perceba a distorção correspondente à amostragem nesta frequência. Os diagramas de blocos dos filtros estão representados na Figura 4.3.



(a) - Transmissão

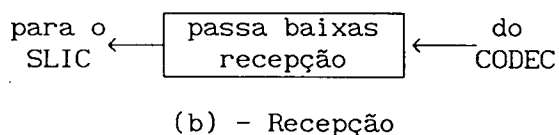


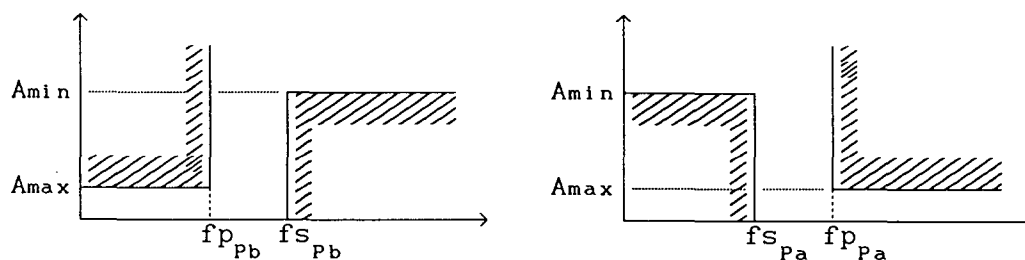
FIGURA 4.3 - Diagrama de Blocos dos Filtros

Na recepção, o filtro passa baixas a capacitores chaveados é responsável pela reconstrução do sinal analógico, e pela compensação do efeito $(\sin x)/x$ introduzido pelo "sample-and-hold" do CODEC, o qual opera a uma taxa de 8 KHz.

4.4 - Descrição dos Filtros

As funções de transferência dos filtros foram obtidas utilizando as técnicas convencionais de projeto de filtros, associadas a um procedimento de "overdesign" e a simulação considerando as variabilidades estatísticas dos componentes passivos.

As especificações finais dos gabaritos aqui apresentados foram obtidas após várias iterações e levando em consideração todos os passos de projeto. Devido à semelhança de especificações, foi utilizado para o filtro passa baixas de recepção o mesmo gabarito do filtro passa baixas de transmissão.



a)- Gabarito do passa baixas. b)- Gabarito do passa altas.

FIGURA 4.4 - Gabaritos Utilizados na Obtenção das Funções de Aproximações dos Filtros de Transmissão

Como os pólos e zeros das funções aproximações são obtidos originalmente no plano "s", foi utilizada a transformação bilinear para obter os novos pólos e zeros no plano "z", necessários para a realização dos filtros SC. Por isso, as especificações dos gabaritos apresentados incluem também uma pré-distorção para compensar a distorção não-linear ("warping") causada pela utilização da transformação bilinear [20].

4.4.1 - Filtro Passa Baixas de Transmissão

As especificações empregadas no projeto deste filtro estão mostradas na Figura 4.4a e na Tabela 4.1. A função aproximação utilizada foi a elíptica de 5ª ordem [21,22]. A frequência de amostragem foi escolhida igual a 256 KHz em função do projeto do filtro contínuo de antirecobrimento, conforme explicado em detalhes na próxima seção. A Tabela 4.2 apresenta a localização dos pólos e zeros no plano "z". Cada linha desta tabela corresponde aos zeros e pólos de uma seção do filtro. O pareamento apresentado foi obtido visando à otimização da faixa dinâmica do filtro

[23,24].

$f_{p_{pb}} = 3165 \text{ Hz}$	$A_{max} = 0.0625 \text{ dB}$
$f_{s_{pb}} = 4600 \text{ Hz}$	$A_{min} = 32 \text{ dB}$

TABELA 4.1 - Especificações do Gabarito da Figura 4.4a

PÓLOS	ZEROS
0,9444833237	-1,0000000000
$0,9635512676 \pm j 0,0610206298$	$0,9849084653 \pm j 0,1730760376$
$0,9873770781 \pm j 0,0832826805$	$0,9931521305 \pm j 0,1168282747$

TABELA 4.2 - Pólos e Zeros no Plano "z" do Filtro Passa Baixas de Transmissão

As estruturas escolhidas para a implementação dos três blocos que compõem o filtro passa baixas de 5ª ordem são apresentadas na Figura 4.5. As configurações diferentes para os dois blocos de 2ª ordem e a sequência da cascata foram escolhidas de forma a minimizar a dispersão das razões de capacitâncias para uma faixa dinâmica otimizada [4,9,19]. Esta otimização foi obtida pela simples análise das possibilidades consideradas. Para possibilitar a utilização dos capacitores descritos no Capítulo 2, uma tensão de polarização V_{po1} foi introduzida em alguns pontos do circuito, conforme mostrado na Figura 4.5 [7,8]. Os amplificadores operacionais foram projetados para operar com tensão de modo comum elevado em suas entradas (estruturas "folded-cascode" [2]).

As funções de transferência dos blocos (Figura 4.5) que compõem o filtro passa baixas de 5ª ordem são:

$$F1^o(z) = \frac{C(1,0)}{C(1,2) + C(1,3)} \frac{z + 1}{z - C(1,2)/[C(1,2) + C(1,3)]} ,$$

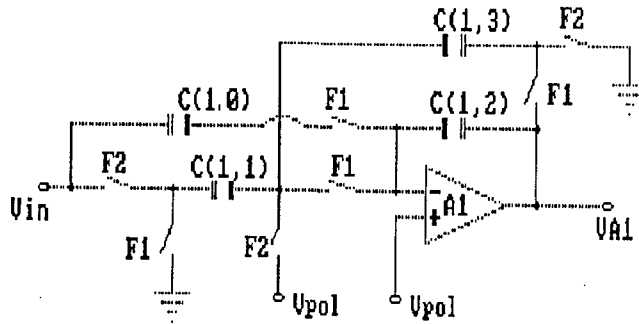
para $C(1,1) = 2C(1,0)$

$$F2^o(z) = - \frac{C(2,0)z^2 + [C(2,1)C(2,3) - 2C(2,0)]z + C(2,0)}{z^2 + [C(2,2)C(2,3) + C(2,3)C(2,4) - 2]z + [1 - C(2,3)C(2,4)]} ,$$

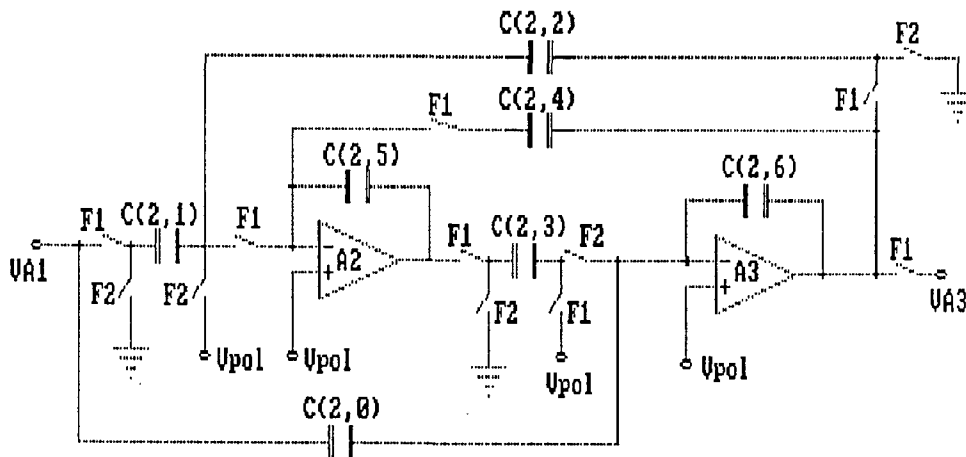
para $C(2,5) = C(2,6) = 1$

$$F3^o(z) = - \frac{C(3,0)z^2 + [C(3,1)C(3,3) - 2C(3,0)]z + C(3,0)}{[1 + C(3,4)]z^2 + [C(3,2)C(3,3) - C(3,4) - 2]z + 1} ,$$

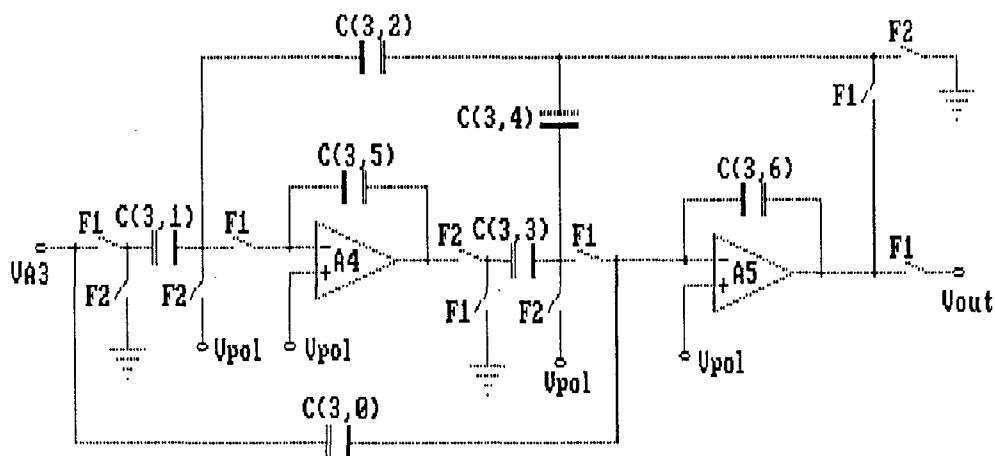
para $C(3,5) = C(3,6) = 1$



(a) - 1º bloco



(b) - 2º bloco



(c) - 3º bloco

FIGURA 4.5 - Diagrama Esquemático do Filtro Passa Baixas

4.4.1a - Escolha da Frequência de Amostragem do Filtro Passa Baixas SC

Com a finalidade de evitar distorções no espectro causadas pela sua amostragem na rede SC do filtro passa baixas de transmissão, utiliza-se um filtro passa baixas contínuo que limita este espectro em função da frequência de amostragem [4]. Devido às suas características, este filtro contínuo irá determinar, portanto, a mínima frequência de amostragem do filtro a capacitores chaveados.

Quando implementado na tecnologia CMOS, filtros ativos RC apresentam o inconveniente de uma grande dispersão nos produtos RC [4], que se traduz em variações de até 50% na magnitude ω_p dos pólos de suas funções de transferência.

Uma estrutura frequentemente utilizada para implementar o filtro

contínuo é a estrutura Sallen-Key passa baixas de 2ª ordem [22]. Esta estrutura utiliza apenas um amplificador operacional, dois resistores e dois capacitores, como mostrado na Figura 4.6. Uma característica importante desta estrutura é que o fator de qualidade Q do pólo de sua função de transferência depende apenas do casamento de componentes de mesmo tipo, conforme indicado da Figura 4.6.

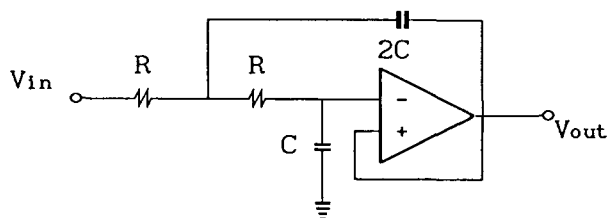


FIGURA 4.6 - Rede de Sallen-Key

Através de uma análise da sensibilidade do filtro de transmissão devido à dispersão dos valores nominais das capacitâncias, verificou-se uma folga de 0,04 dB do módulo na frequência crítica de 3400 Hz (ver Figura 4.2). Esta folga passou então a ser a especificação de máxima atenuação na faixa de passagem do filtro passa baixas RC contínuo. Além disso, para garantir uma atenuação superior a 32 dB acima de 4600 Hz, a réplica da magnitude da resposta em frequência na banda básica do filtro passa baixas SC que aparecem em torno da frequência de amostragem " f_a ", deverão também ser atenuadas deste mesmo valor. Logo a especificação de mínima atenuação deve ser de 32 dB na frequência de " $f_a - 4600$ Hz", para o filtro passa baixas RC contínuo. Nesta aproximação foi desconsiderada a atenuação causada pelo efeito $(\sin x)/x$, a qual vem, entretanto, a favor da segurança. Como a variação na frequência de pólo ω_p é de até 50%, não podemos diminuir a frequência de amostragem do filtro passa baixas SC abaixo de 256 KHz, com o prejuízo de não atender estas especificações. Portanto, considerando as observações acima e a rede da Figura 4.6 para a implementação do filtro contínuo, a frequência de amostragem escolhida para o filtro passa baixas SC foi de 256 KHz.

A utilização de outras tecnologias, tais como a de filtros OTA-C contínuos [25], os quais oferecem a possibilidade de sintonização, pode eventualmente levar a uma melhor performance e até permitir a redução da frequência de amostragem do filtro passa baixas SC.

4.4.2 - Filtro Passa Altas SC

A frequência de amostragem para o filtro passa altas SC foi escolhida igual a 8 KHz. Isto possibilitou uma redução na dispersão dos valores das capacitâncias e permitiu a sincronização de sua saída com a entrada do CODEC, tornando desnecessário o uso de um circuito de "sample-and-hold" [15] no CODEC.

Um particular problema aqui encontrado foi quanto à escolha da aproximação a ser utilizada, uma vez que tanto a de 2ª ordem "notch" quanto a de 3ª ordem de Chebyshev [21] poderiam ter sido escolhidas. Foram consideradas uma rede biquadrática e uma rede de 3ª ordem realimentada [4], a qual é mostrada no diagrama esquemático da Figura 4.7, para a realização do filtro passa altas. Uma análise detalhada levou à conclusão de ser o filtro Chebyshev de 3ª ordem o mais indicado, por resultar em uma menor dispersão nos valores das capacitâncias. Os pólos e zeros do filtro adotados para cumprimento das especificações da Tabela 4.3 estão mostrados na Tabela 4.4.

$f_{s_{Pa}} = 60 \text{ Hz}$	$A_{max} = 26 \text{ db}$
$f_{p_{Pa}} = 300 \text{ Hz}$	$A_{min} = 0.03125 \text{ dB}$

TABELA 4.3 - Especificações do Gabarito da Figura 4.4b

PÓLOS	ZEROS
0,8281835789	1,0000000000
$0,9291443927 + j 0,1319149591$	1,0000000000
$0,9291443927 - j 0,1319149591$	1,0000000000

TABELA 4.4 - Pólos e Zeros no Plano "z" do Filtro Passa Altas de Transmissão

A função de transferência do filtro passa altas da Figura 4.7 é:

$$F4^o(z) = \frac{N(z)}{D(z)}, \text{ onde } N(z) = C(4,3)[z-1]^3 \text{ e}$$

$$D(z) = z^3 - [C(4,2)C(4,5)C(4,6) - C(4,0)C(4,2) + C(4,1)+2]z^2 + \\ - [2C(4,1)-C(4,0)C(4,2)+3]z - [1 + C(4,1)],$$

para $C(4,7) = C(4,8) = C(4,9) = 1$.

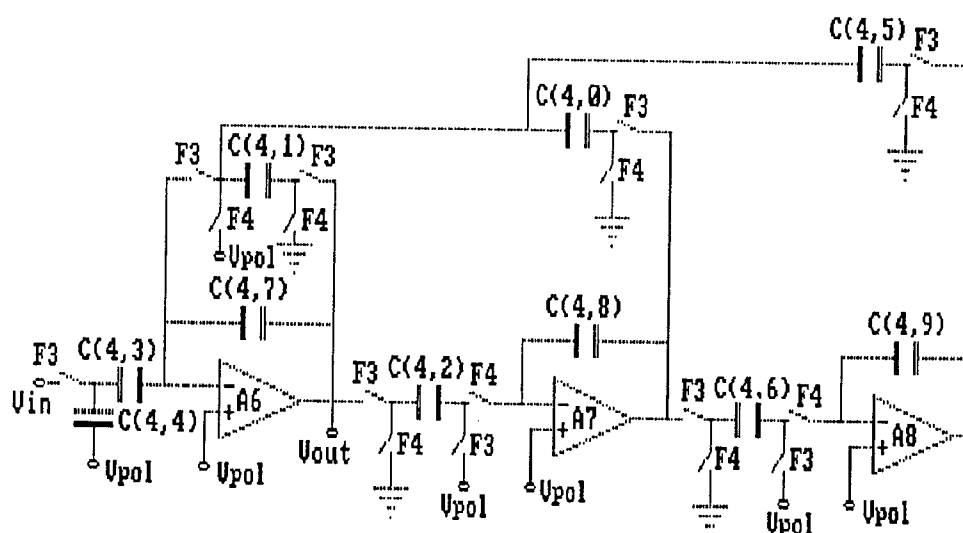


FIGURA 4.7 - Diagrama Esquemático do Filtro Passa Altas

Os valores das capacitâncias dos filtros de transmissão, após a otimização da faixa dinâmica e a minimização da capacitância total [4,9], são mostrados na Tabela 4.5.

$C(1,0) = 1,000000000000000$	$C(1,1) = 2,000000000000000$
$C(1,2) = 33,9148302055019$	$C(1,3) = 1,99343828876365$
$C(2,0) = 4,82010406460000$	$C(2,1) = 1,000000000000000$
$C(2,2) = 1,34434703120000$	$C(2,3) = 1,000000000000000$
$C(2,4) = 3,43892323800000$	$C(2,5) = 15,1480981830000$
$C(2,6) = 12,5079245320000$	$C(3,0) = 3,31658479740000$
$C(3,1) = 1,34476593890930$	$C(3,2) = 1,000000000000000$
$C(3,3) = 1,68715079110000$	$C(3,4) = 1,000000000000000$
$C(3,5) = 22,6715595216098$	$C(3,6) = 13,7397953440000$
$C(4,0) = 1,74906297338629$	$C(4,1) = 2,14370724972733$
$C(4,2) = 1,000000000000000$	$C(4,3) = 6,77174425014775$
$C(4,4) = 1,000000000000000$	$C(4,5) = 1,000000000000000$
$C(4,6) = 1,000000000000000$	$C(4,7) = 5,77805985928493$
$C(4,8) = 5,14451980290881$	$C(4,9) = 6,36931380046552$

TABELA 4.5 - Valores das Capacitâncias do Filtro de Transmissão. Obs.: O capacitor $C(4,4)$ é apenas um capacitor que serve de "sample-hold" para a entrada do filtro passa altas.

4.4.3 - Filtro Passa Baixas de Recepção

Todos os passos do projeto deste filtro foram realizados basicamente da mesma forma que no filtro passa baixas de transmissão, inclusive utilizando a mesma rede, porém com o cuidado de fazer um ajuste nos coeficientes da aproximação [26] para corrigir o efeito " $(\sin x)/x$ ", introduzido pela amostragem do tipo "sample-hold" inerente aos circuitos SC utilizados. Os valores dos pólos e zeros e os valores das capacitâncias obtidos pela síntese deste filtro estão mostrados nas Tabelas 4.6 e 4.7, respectivamente.

PÓLOS	ZEROS
0,9384296959	-1,0000000000
$0,9653940263 \pm j 0,0637820480$	$0,9840046118 \pm j 0,1781429873$
$0,9880766768 \pm j 0,0834326264$	$0,9927401960 \pm j 0,1202784408$

TABELA 4.6 - Pólos e Zeros no Plano "z" do Filtro Passa Baixas de Recepção

$C(1,0) = 1,00000000000000$	$C(1,1) = 2,00000000000000$
$C(1,2) = 30,1040554133478$	$C(1,3) = 1,97512488667164$
$C(2,0) = 4,18531709110000$	$C(2,1) = 1,00000000000000$
$C(2,2) = 1,00426765590000$	$C(2,3) = 1,00000000000000$
$C(2,4) = 12,1956897470000$	$C(2,5) = 7,46873161160000$
$C(2,6) = 25,5355142050000$	$C(3,0) = 29,0633221930000$
$C(3,1) = 1,00000000000000$	$C(3,2) = 1,00525519077419$
$C(3,3) = 4,56454227930000$	$C(3,4) = 1,00000000000000$
$C(3,5) = 10,8175043072463$	$C(3,6) = 58,7247489410000$

TABELA 4.7 - Valores das Capacitâncias do Filtro de Recepção

4.5 - Análise, Simulação e Resultados

4.5.1 - Análise de Sensibilidade da Resposta em Frequência

Devido ao descasamento que sofrerão as razões capacitivas, tipicamente com dispersão inferior a 1% [6], foi feita uma análise de sensibilidade para verificação do cumprimento do requisito de resposta em frequência do filtro, supondo que os amplificadores operacionais e as chaves sejam ideais. Para tanto, foi empregada uma técnica de análise computacional baseada no conhecido "Método Monte Carlo" [19]. Para tanto, considera-se que cada razão capacitiva sofre, sobre seu valor nominal, uma variação que obedece a uma distribuição gaussiana com desvio máximo (3σ) de 1%. A

metodologia utilizada na simulação estatística é apresentada em detalhes no Apêndice 4.

Os resultados obtidos a partir desta simulação estão apresentados nas Figuras 4.8, 4.9, 4.10 e 4.11, sendo que para o filtro de recepção o resultado se encontra multiplicado pelo efeito " $(\sin x)/x$ ". Os atrasos mínimos verificados nos filtros de transmissão e recepção foram, respectivamente, de 181,4 μs e 180,0 μs .

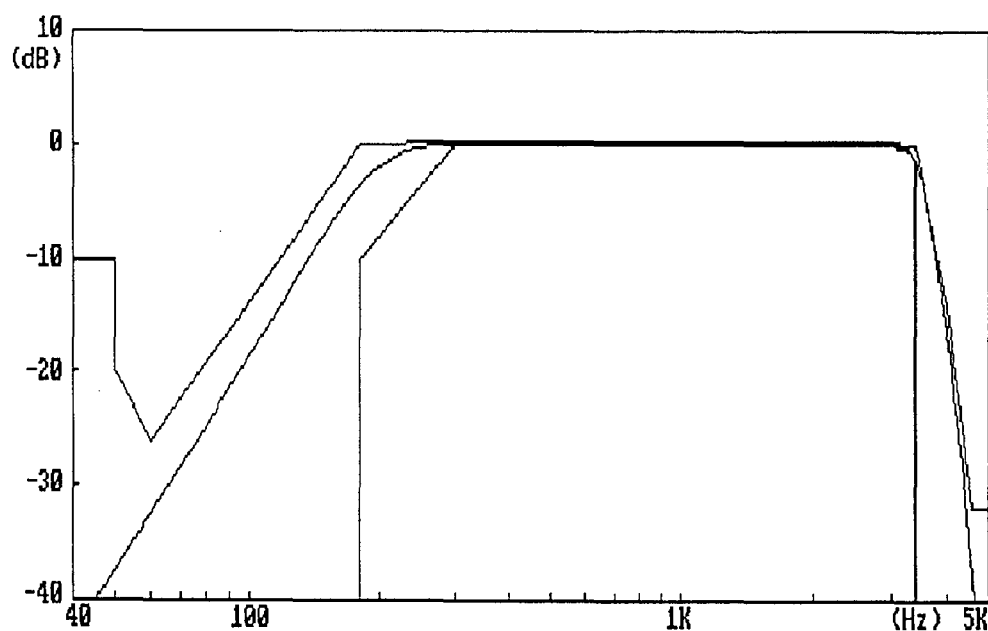


FIGURA 4.8a - Análise de Sensibilidade - Magnitude da Resposta em Freqüência do Filtro de Transmissão

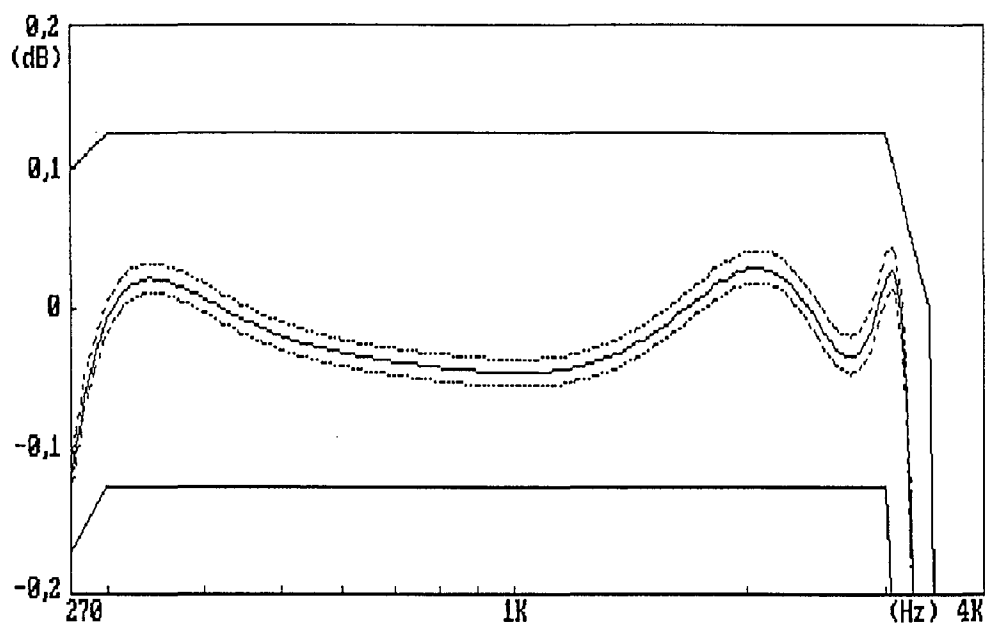


FIGURA 4.8b - Análise de Sensibilidade - Magnitude da Resposta em Frequência do Filtro de Transmissão (detalhe da banda de passagem)

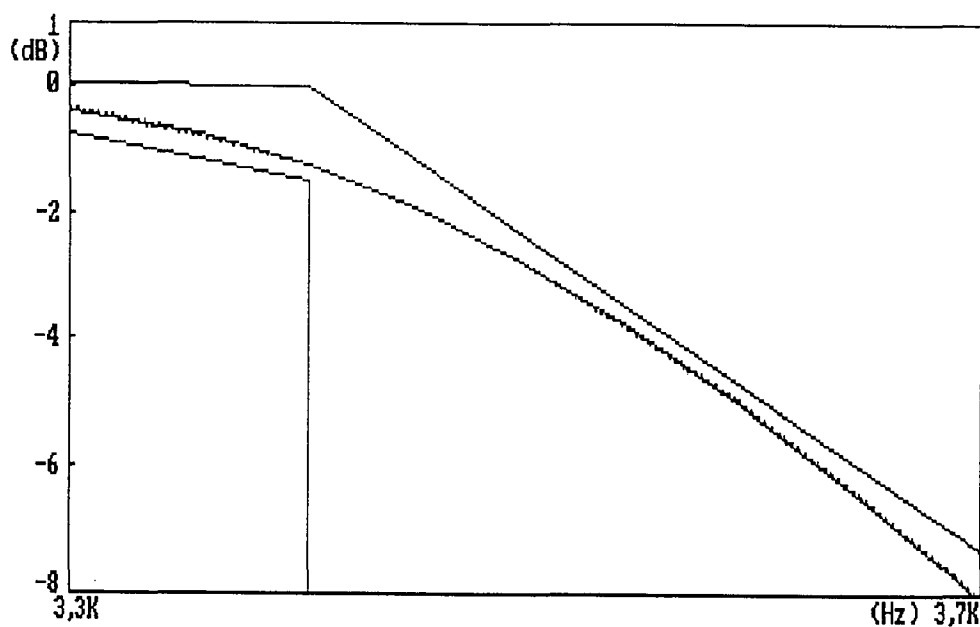


FIGURA 4.8c - Análise de Sensibilidade - Magnitude da Resposta em Frequência do Filtro de Transmissão (detalhe da banda de transição)

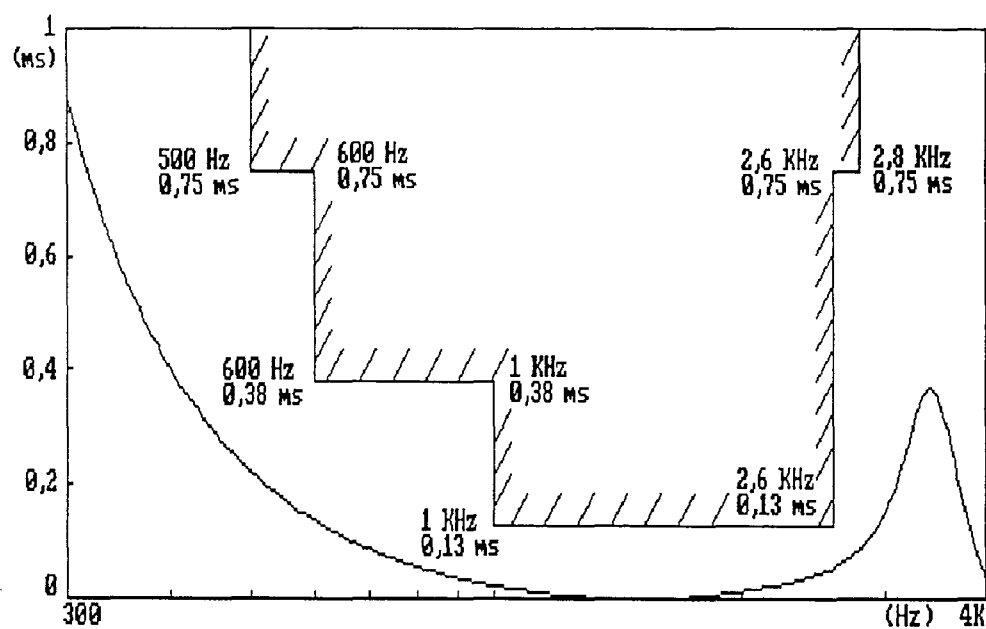


FIGURA 4.9 - Análise de Sensibilidade - Atraso de Grupo do Filtro de Transmissão

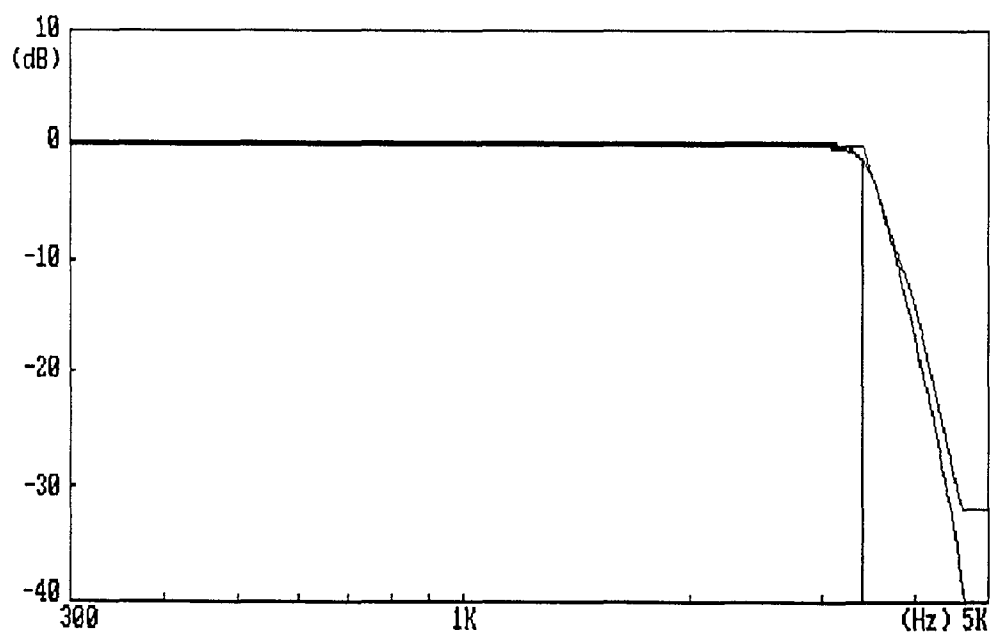


FIGURA 4.10a - Análise de Sensibilidade - Magnitude da Resposta em Frequência do Filtro de Recepção

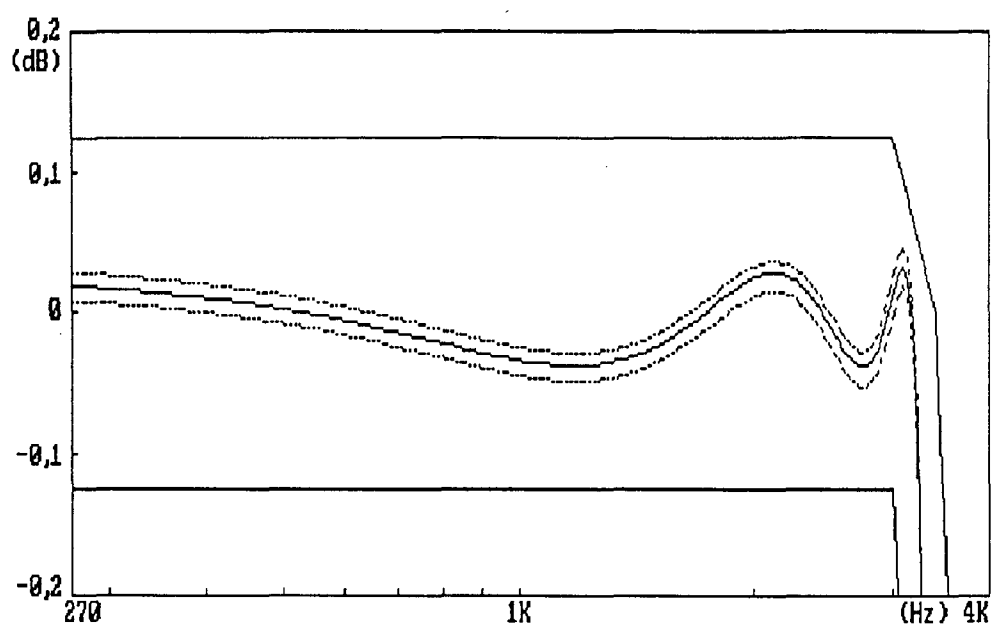


FIGURA 4.10b - Análise de Sensibilidade - Magnitude da Resposta em Frequência do Filtro de Recepção (detalhe da banda de passagem)

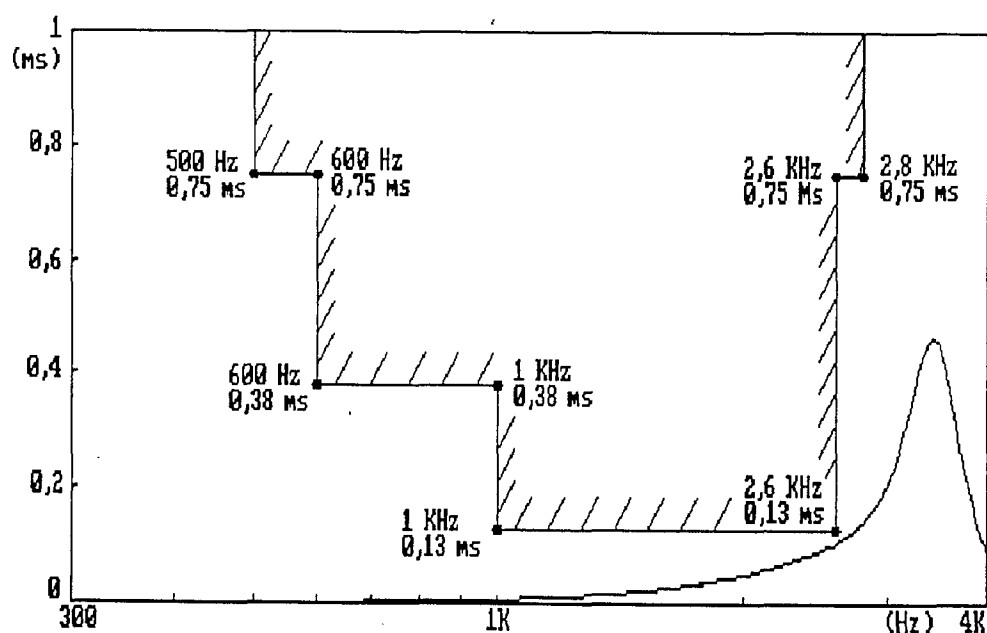


FIGURA 4.11 - Análise de Sensibilidade - Atraso de Grupo do Filtro de Recepção

4.5.2 - Análise de Distorção Harmônica

Como os filtros serão integrados em uma tecnologia tipicamente digital onde não existe a segunda camada de polissilício, conforme mencionado no Capítulo 3, será utilizada uma estrutura capacitiva, do tipo estudada no Capítulo 2, para realização dos capacitores empregados nas redes.

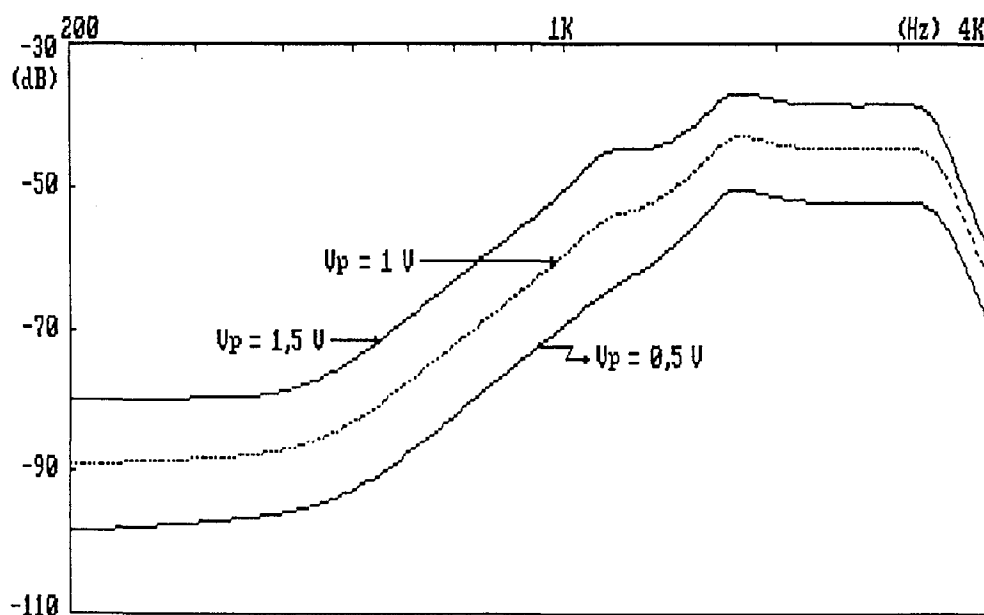


FIGURA 4.12 - Distorção harmônica (dB) do Sinal de Saída do Filtro Passa Baixas de Transmissão em Função da Frequência do Sinal de Entrada

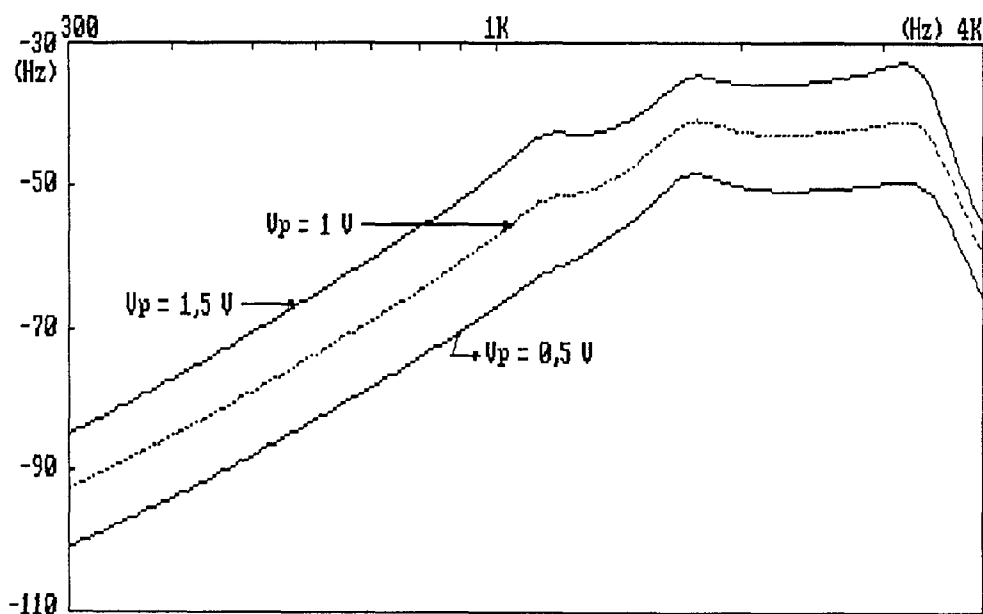


FIGURA 4.13 - Distorção Harmônica (dB) do Sinal de Saída do Filtro Passa Baixas de Recepção em Função da Frequência do Sinal de Entrada

Para avaliarmos os efeitos da não linearidade deste tipo de capacitor foi determinada a distorção harmônica, em função da frequência e da amplitude do sinal sinusoidal de entrada, nos filtros passa baixas de transmissão e recepção, utilizando o método proposto no Capítulo 3. Para tanto, as funções de transferência $H(z)$ empregadas nas equações (3.21) e (3.22) são as funções de 5ª ordem referente aos blocos cascadeados que compõem os filtros, e os resultados se encontram plotados nas Figuras 4.12 e 4.13. O nível de polarização utilizado nos capacitores foi de 2,5 volts, adequado para uma tecnologia de 5 volts.

4.6 - Implementação

✓ A título de teste, apenas o filtro de transmissão foi implementado

utilizando o PMU brasileiro. Todos os capacitores das redes foram polarizados usando a mesma estratégia mostrada no Capítulo 3. O detalhe do "layout" da estrutura de um capacitor unitário está mostrado na Figura 4.14. As chaves utilizadas foram implementadas com uma geometria mínima.

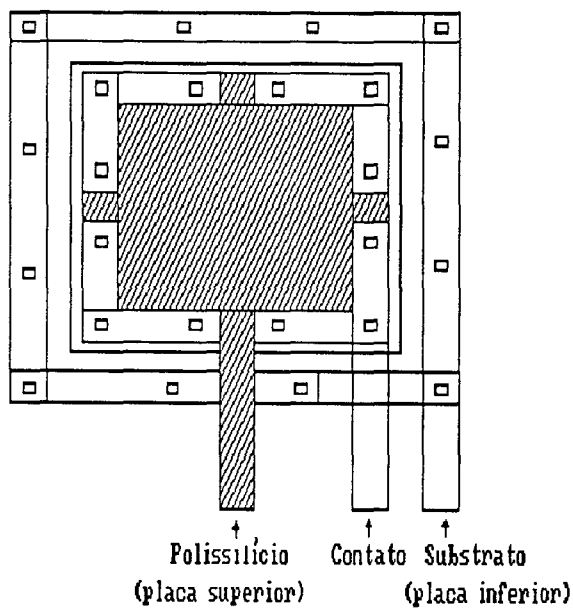


FIGURA 4.14 - "Layout" da Estrutura de um Capacitor Unitário

TRANSISTOR	T1	T2	T3	T4	T5	T6	T7	T8
W/L	20/10	20/10	100/10	100/10	100/10	50/10	50/10	50/10
TRANSISTOR	T9	T10	T11	T12	T13	T14	T15	T16
W/L	50/10	13/10	20/10	20/10	50/10	50/10	200/10	500/10

TABELA 4.8 - Relações "W/L" dos Transistores do Amplificador Operacional da
Figura 4.15

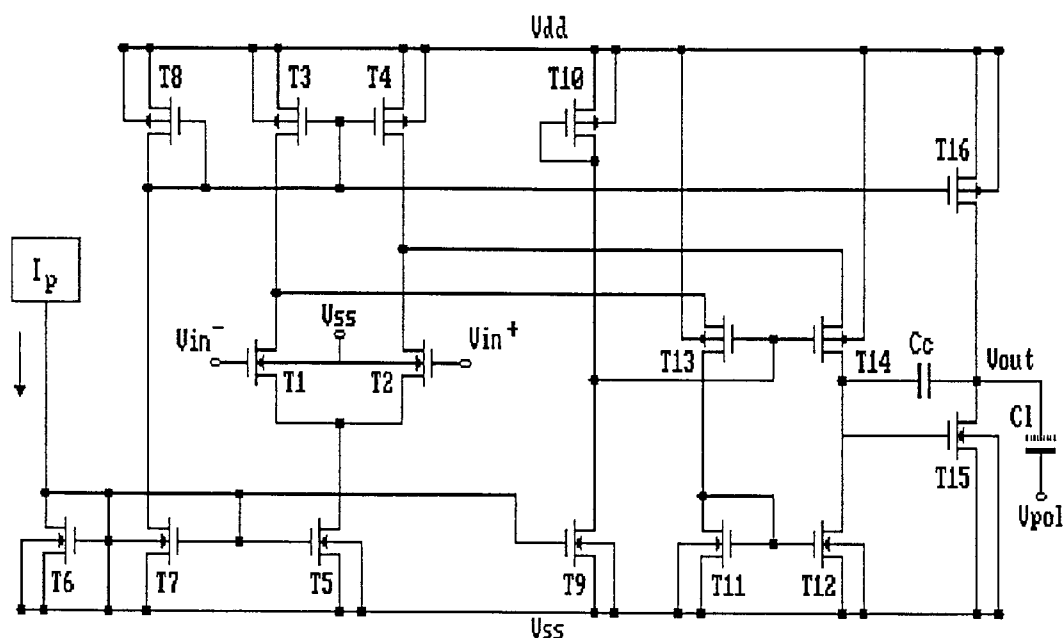


FIGURA 4.15 - Amplificador Operacional (Folded-Cascode) [2]

Todos os amplificadores operacionais utilizados possuem as mesmas características, projetadas de modo a suportar uma tensão de polarização sem degradação do ganho e da faixa de frequências necessária aos filtros [2]. O diagrama esquemático deste amplificador operacional está mostrado na Figura 4.15. Os níveis de tensões nos terminais do capacitor C_c do amplificador operacional da Figura 4.15, mantém o capacitor na região de inversão forte. A corrente de polarização I_p é responsável pelo ajuste do produto ganho-banda passante do amplificador operacional e será ajustado externamente. Os valores das relações "W/L" dos transistores deste amplificador operacional estão mostrados na Tabela 4.8. O "layout" dos filtros de transmissão será mostrado no Apêndice 5 no final do trabalho.

4.7 - Conclusão

Neste capítulo foi descrito o projeto dos filtros de um CODEC. Uma técnica de análise de sensibilidade, levando em consideração apenas os descasamentos das razões capacitivas, foi desenvolvida. Além disso, utilizando o método proposto no capítulo 3, foi avaliada a distorção harmônica intruduzida pela utilização dos capacitores TT-MOS.

As magnitudes e atrasos de grupo das funções de transferência, apesar dos possíveis descasamentos nas razões capacitivas, encontram-se dentro das especificações recomendadas pelo CCITT. Os resultados obtidos da análise de distorção harmônica, para sinais de tensão abaixo de 3 volts pico a pico, são compatíveis com os apresentados por filtros a capacitores chaveados comerciais [14]. Outros resultados só serão avaliados mediante testes no próprio "chip", quando retornar do processo de integração.

C A P Í T U L O 5

CONCLUSÃO

No Capítulo 2 deste trabalho foi obtida uma expressão que evidencia a relação $C \times V$ para a região de inversão forte da estrutura TT-MOS. Apesar de neste trabalho esta expressão ter sido obtida com a finalidade de quantificar a distorção harmônica nos circuitos a capacitores chaveados que utilizam o capacitor TT-MOS ela poderá ser empregada também por projetistas de circuitos que necessitem utilizar este capacitor em outros tipos de redes.

Um método de análise de distorção harmônica em redes a capacitores chaveados, devido exclusivamente à não-linearidade dos capacitores, foi proposto no Capítulo 3. Pode-se usar os mesmos princípios de dedução utilizado e estender o método para quaisquer redes a capacitores chaveados. Uma das vantagens de sua aplicação é a economia de tempo na simulação se comparado com os programas existentes que realizam tal tarefa. Para sua utilização precisa-se apenas do conhecimento prévio da função de transferência do circuito no domínio z e da caracterização do capacitor empregado. A principal vantagem advém do fato de dispor-se de um método que pode ser utilizado como uma poderosa ferramenta de projeto, permitindo antecipar, através de cálculos simples, a distorção harmônica introduzida pelas não linearidades dos capacitores. Desta forma, evita-se recorrer, na etapa de projeto, a sucessivos ciclos de análise de distorção harmônica, muitas vezes realizados através de métodos computacionais complexos e nem sempre disponíveis.

No Capítulo 4, os filtros de um CODEC foram projetados. A finalidade principal, além da aplicação, foi verificar a possibilidade de implementar tais filtros com as redes propostas e com a estrutura TT-MOS descrita no capítulo 2. Por isso foram feitas análises de sensibilidade e de distorção harmônica nas redes. Os resultados obtidos nos mostram que se pode obter uma tensão na saída de aproximadamente 60% da tensão de alimentação sem o comprometimento da linearidade do sinal.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] VITTOZ, E. "The Design of High-Performance Analog Circuits on Digital CMOS Chips". IEEE JSSC, Vol. SC-20, no.3, pp. 657-665, Junho de 1985.

- [2] STONE, D. C. et alii "Analog CMOS Building Blocks for Custom and Semicustom Applications". IEEE JSSC, Vol. SC-19, no.1, pp. 55-61, Fevereiro 1984.

- [3] HABEKOTTÉ, E. et alii "State of Art in Analog CMOS Circuit Design". Proc. of the IEEE, vol. 75, no.6, pp. 816-828, Junho de 1987.

- [4] GREGORIAN, R. & TEMES, G. *Analog MOS Integrated Circuits*. Wiley, New York, USA, 1986.

- [5] TSIVIDIS, Y. & ANTOGNETTI, P. (Editores) *Design of MOS VLSI Circuits for Telecommunications*. Prentice Hall, Englewood Cliffs, NJ, USA, 1985.

- [6] ALLSTOT, D. J. & BLACK, W. C. "Technological Design Considerations for Monolithic MOS Switched-Capacitor Filters". Proc. of the IEEE, Vol. 71, pp. 967-986, Agosto 1983.

- [7] BERMUDEZ, J. C. M. & MONTORO, C. G. "A Integração de Circuitos a Capacitores Chaveados em Tecnologia CMOS Digital". Anais do III Congresso da Sociedade Brasileira de Microeletrônica, São Paulo, Julho de 1988, pp. 265-271.

- [8] MONTORO, C. G. & BERMUDEZ, J. C. M. "Switched-Capacitor Circuits Fully Compatible with Digital Si-gate Single Poly Technology". 31st Midwest Symposium on Circuits and Systems, St. Louis, USA, Agosto de 1988.

- [9] FLEISCHER, P. E & LAKER, K. R. "A Family of Active Switched Capacitor Biquad Building Blocks". The Bell System Technical Journal, Vol. 58, no. 10, pp. 2235-2267, Dezembro 1979.

- [10] BERMUDEZ, J. C. M. & BHATTACHARYYA, B. B. "A Systematic Procedure for Generation and Design of Parasitic Insensitive SC Biquad". IEEE Transactions on Circuits and Systems, vol. CAS-32, pp. 767-783, Agosto de 1985.

- [11] TSIVIDIS, Y. *Operation and Modeling of the MOS Transistor*. McGraw-Hill, New York, USA, 1987.

- [12] LEE, K. & MEYER, R. G. "Low Distortion Switched Capacitor Filter Design Techniques". IEEE JSSC, Vol. SC-20, pp. 1103-1113, Dezembro de 1985.

- [13] ANTOGNETTI, P. & MASSOBRIO, G. *Semiconductor Device Modeling with SPICE*. McGraw-Hill, Singapore, 1988.

- [14] EG&G RETICON, Signal Processing Products Catalog 1987.
- [15] GRAY, P. R. et alii "A Single-Chip NMOS Dual Channel Filter for PCM Telephony Applications". IEEE JSSC, Vol. SC-14, no. 6, pp. 294-303, Dezembro 1979.
- [16] GREGORIAN, R. & NICHOLSON, W. E. "CMOS Switched-Capacitor Filters for PCM Voice CODEC". IEEE JSSC, Vol. SC-14, no.6, pp. 304-314, Dezembro 1979.
- [17] MARSH, D. G. et alii "A Single-Chip CMOS PCM Codec with Filters". IEEE JSSC, Vol. SC-16, no.4, pp. 308-314, Agosto 1981.
- [18] RECOMENDAÇÕES G.712 CCITT, Fascículo III.3, pp. 94-102, Geneva, 1972.
- [19] GHAUSI, M. S. & LAKER, K. R. *Modern Filter Design - Active RC and Switched Capacitor*. Englewood Cliffs, NJ: Prentice-Hall, 1981.
- [20] OPPENHEIM, A. V. & SCHAFER, R. W. *Digital Signal Processing*. Englewood Cliffs, NJ, Prentice-Hall, 1975.
- [21] MAYER, J. "Programa FILAP". Laboratório de Instrumentação Eletrônica (LINSE), UFSC, Florianópolis, 1987.
- [22] DARYANANI, G. *Principles of Active Network Synthesis and Design*. John Wiley and Sons, New York, 1976.

- [23] MOSCHYTZ, G. S. *Linear Integrated Networks: Design*. Van Nostrand Reinhold Company, New York, 1974.
- [24] LENZI, E. "Programa PARES". Laboratório de Instrumentação Eletrônica (LINSE), UFSC, Florianópolis, 1987.
- [25] SCHNEIDER, M. C. & ROBERT, R. N. G. & NOCETI, S. "Controle Automático de Transcondutância Aplicado a um Filtro Anti-recobrimento". Anais do 7º Simpósio Brasileiro de Telecomunicações, pp. 249-252, 03 a 06 de setembro de 1989, Florianópolis, SC, Brasil.
- [26] BERMUDEZ, J. C. M. et alii "A New Improved Iterative Method for Compensation of the $(\sin x)/x$ Frequency Response Distortion". 1990 IEEE International Symposium on Circuits and Systems, Vol. 4 of 4, pp. 2793-2796, New Orleans. LA - Maio 1990.
- [27] FANG, S. C. & TSIVIDIS, Y. P. & WING, O. "Analysis of SCN's with Nonlinear and Time-Varying Elements Using Time-Invariant Charge Variables". 1982 IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 1-4, 1982.
- [28] PAPOULIS, A. *Probability, Random Variables and Stochastic Processes*. McGraw-Hill, Tokyo, Japan, 1981.
- [29] KUNDERT, K. S. et alii "A Mixed Frequency-Time Approach for Distortion Analysis of Switching Filter Circuits". IEEE JSSC, Vol. 24, no. 2,

pp. 443-451, Abril 1989.

- [30] DAVIS, R. D. "Distortion Analysis of Switched Capacitor Filters". 1981 IEEE International Symposium on Circuits and Systems, Vol. 3, pp. 876-879, 1981.

- [31] SCHNEIDER, M. C. & ARAÚJO, C.J. F. & BERMUDEZ, J. C. M. "Análise de Distorção Harmônica Devido aos Capacitores em uma Rede Biquadrática a Capacitores Chaveados". V Congresso Brasileiro de Microeletrônica, Campinas-SP, Julho 1990.

- [32] Manual de Utilização do Projeto Multiusuário Brasileiro, "Dual Layer Metal 2 μ m CMOS Design Rules (ECDM20).

- [33] LENZI, E. & BERMUDEZ, J. C. M. "Strategies for the Automated Design of Cascaded Switched-Capacitor Filters". Trabalho submetido ao 1991 IEEE (International Symposium on Circuits and Systems).

A P Ê N D I C E 1

DETERMINAÇÃO DA EXPRESSÃO PARA CÁLCULO APROXIMADO DA DISTORÇÃO

HARMÔNICA NA CAPACITÂNCIA PORTA-FONTE

a) Obtenção da Expressão (2.34)

A expressão (2.33) para $n=1$ é:

$$\alpha_1 = \frac{2\phi t}{(V_{po1}-V'-2\phi t)} \frac{1}{(V_{po1}-V')} \quad (A1-1)$$

desconsiderando o termo $2\phi t$, em face do termo $V_{po1}-V'$, em (A1-1) tem-se:

$$\alpha_1 \approx \frac{2\phi t}{(V_{po1}-V')^2} \quad (A1-2)$$

A expressão (A1-2) é a mesma expressão apresentada em (2.34).

b) Obtenção da Expressão (2.35)

Para obter-se a carga $Q(v)$ no capacitor $C'gb$ faz-se

$$\int_0^Q dQ_{gb} \cong \int_0^v C'gb(V_{po1}) \left\{ 1 + \alpha_1 v_{gb} \right\} dv_{gb} \quad (A1-3)$$

$$Q(v) \cong C'gb(V_{po1}) \left\{ v + \frac{\alpha_1}{2} v^2 \right\} \quad (A1-4)$$

se $v = V_p \sin(\omega t)$, então:

$$Q(v) \cong C'gb(V_{po1}) \left\{ V_p \sin(\omega t) + \frac{\alpha_1}{4} V_p^2 \sin^2(\omega t) \right\} \quad (A1-5)$$

$$Q(v) \cong C' gb(V_{pol}) \left\{ \underbrace{\frac{\alpha_1}{4} V_p^2}_{\text{DC}} + \underbrace{V_p \sin(\omega t)}_{\text{fundamental}} + \underbrace{\frac{\alpha_1}{4} V_p^2 \sin(2\omega t)}_{\text{2ª harmônica}} \right\} \quad (A1-6)$$

Logo, substituindo (A1-2) em (A1-6), a distorção de 2ª harmônica pode ser obtida por:

$$DHT2^a = \frac{V_p \phi_t}{2(V_{pol} - V')^2} \quad (A1-7)$$

A expressão (A1-7) é a mesma expressão apresentada em (2.35).

A P Ê N D I C E 2

DETERMINAÇÃO DA EXPRESSÃO DA DISTORÇÃO HARMÔNICA

DEVIDO AOS CAPACITORES EM REDES SC

Para a obtenção das equações (3.21) e (3.22) considera-se inicialmente a equação (3.15). A partir desta equação substitui-se a equação (3.16) em (3.15) e obtém-se:

$$\sum_{m=-1}^1 D_m V_{out}(nT+mT) \left\{ 1 + \sum_{k=1}^{\infty} \alpha_k [V_{out}(nT+mT)]^k \right\} =$$

$$\sum_{m=-1}^1 N_m V_{in}(nT+mT) \left\{ 1 + \sum_{k=1}^{\infty} \alpha_k [V_{in}(nT+mT)]^k \right\} \quad (A2-1)$$

Uma outra forma de escrever (A2-1) é:

$$\sum_{m=-1}^1 D_m V_{out}(nT+mT) = \sum_{m=-1}^1 N_m V_{in}(nT+mT) \left\{ 1 + \sum_{k=1}^{\infty} \alpha_k [V_{in}(nT+mT)]^k \right\} +$$

$$- \sum_{m=-1}^1 D_m \sum_{k=1}^{\infty} \alpha_k [V_{out}(nT+mT)]^{k+1} \quad (A2-2)$$

Aplicando uma entrada sinusoidal $V_{in}(nT) = V_p \cos(n\omega_0 T)$ e, além disso, considerando as hipóteses simplificadoras i) e ii) do Capítulo 3, tem-se:

$$\sum_{m=-1}^1 D_m V_{out}(nT+mT) = \sum_{m=-1}^1 N_m V_p \cos(n\omega_0 T + m\omega_0 T) \left\{ 1 + \sum_{k=1}^{\infty} \alpha_k [V_p \cos(n\omega_0 T + m\omega_0 T)]^k \right\} +$$

$$- \sum_{m=-1}^1 D_m \sum_{k=1}^{\infty} \alpha_k [Vb_1 \cos(n\omega_0 T + \phi_{b_1} + mT)]^{k+1} \quad (A2-3)$$

Desenvolvendo (A2-3) e reagrupando os termos, obtém-se:

$$\begin{aligned} \sum_{m=-1}^1 D_m V_{out}(nT+mT) &= V_p a_1 \sum_{m=-1}^1 N_m \cos(n\omega_0 T + m\omega_0 T) + \\ &+ V_p a_2 \sum_{m=-1}^1 N_m \cos(2n\omega_0 T + 2m\omega_0 T) + V_p a_3 \sum_{m=-1}^1 N_m \cos(3n\omega_0 T + 3m\omega_0 T) + \dots \\ &- Vb_1 b_1 \sum_{m=-1}^1 D_m \cos(n\omega_0 T + \phi_{b_1} + m\omega_0 T) - Vb_1 b_2 \sum_{m=-1}^1 D_m \cos(2n\omega_0 T + 2\phi_{b_1} + 2m\omega_0 T) \\ &- Vb_1 b_3 \sum_{m=-1}^1 D_m \cos(3n\omega_0 T + 3\phi_{b_1} + 3m\omega_0 T) - \dots \end{aligned} \quad (A2-4)$$

onde

$$\begin{aligned} a_1 &= 1 + 3/4\alpha_2 V_p^2 + 10/16\alpha_4 V_p^4 + \dots \\ b_1 &= 0 + 3/4\alpha_2 V_p^2 + 10/16\alpha_4 V_p^4 + \dots \\ a_2 &= 1/2\alpha_1 V_p + 4/8\alpha_3 V_p^3 + 15/32\alpha_5 V_p^5 + \dots \\ b_2 &= 1/2\alpha_1 Vb + 4/8\alpha_3 Vb^3 + 15/32\alpha_5 Vb^5 + \dots \\ a_3 &= 1/4\alpha_2 V_p^2 + 5/16\alpha_4 V_p^4 + 21/64\alpha_6 V_p^6 + \dots \\ b_3 &= 1/4\alpha_2 Vb^2 + 5/16\alpha_4 Vb^4 + 21/64\alpha_6 Vb^6 + \dots \end{aligned}$$

Considerando-se a saída da forma de (3.17) e computando a saída somente para a 2ª harmônica, tem-se:

$$\begin{aligned} Vb_2 \sum_{m=-1}^1 D_m \cos(2n\omega_0 T + \phi_{b_2} + 2m\omega_0 T) &= V_p a_2 \sum_{m=-1}^1 N_m \cos(2n\omega_0 T + 2m\omega_0 T) + \\ &- Vb_1 b_2 \sum_{m=-1}^1 D_m \cos(2n\omega_0 T + 2\phi_{b_1} + 2m\omega_0 T) \end{aligned} \quad (A2-5)$$

Reescrevendo (A2-5) de uma outra forma

$$\begin{aligned}
Vb_2 \operatorname{Re} \left\{ e^{j(2n\omega_0 T + \phi_{b_2})} \cdot \sum_{m=-1}^1 D_m e^{j2m\omega_0 T} \right\} &= V_p \operatorname{Re} \left\{ e^{j2n\omega_0 T} \cdot \sum_{m=-1}^1 N_m e^{j2m\omega_0 T} \right\} \cdot a_2 + \\
&- Vb_1 \operatorname{Re} \left\{ e^{j(2n\omega_0 T + 2\phi_{b_1})} \cdot \sum_{m=-1}^1 D_m e^{j2m\omega_0 T} \right\} \cdot b_2
\end{aligned} \quad (A2-6)$$

Observando a equação (A2-6), pode-se escrever:

$$\begin{aligned}
Vb_2 \operatorname{Re} \left\{ e^{j(2n\omega_0 T + \phi_{b_2})} \cdot D(z) \Big|_{z=e^{j2\omega_0 T}} \right\} &= V_p \operatorname{Re} \left\{ e^{j2n\omega_0 T} \cdot N(z) \Big|_{z=e^{j2\omega_0 T}} \right\} \cdot a_2 + \\
&- Vb_1 \operatorname{Re} \left\{ e^{j(2n\omega_0 T + 2\phi_{b_1})} \cdot D(z) \Big|_{z=e^{j2\omega_0 T}} \right\} \cdot b_2
\end{aligned} \quad (A2-7)$$

onde $N(z)$ e $D(z)$ são o numerador e o denominador da função de transferência $H(z)$, respectivamente.

Enfatizando o módulo e a fase de $N(z)$ e $D(z)$ obtém-se:

$$\begin{aligned}
Vb_2 |D(z)| \Big|_{z=e^{j2\omega_0 T}} \cdot \operatorname{Re} \left\{ e^{j(2n\omega_0 T + \phi_{b_2} + FD_2)} \right\} &= \\
V_p \cdot a_2 |N(z)| \Big|_{z=e^{j2\omega_0 T}} \cdot \operatorname{Re} \left\{ e^{j(2n\omega_0 T + FN_2)} \right\} &- \\
-Vb_1 \cdot b_2 |D(z)| \Big|_{z=e^{j2\omega_0 T}} \cdot \operatorname{Re} \left\{ e^{j(2n\omega_0 T + 2\phi_{b_1} + FD_2)} \right\} &
\end{aligned} \quad (A2-8)$$

onde $FD_2 = \text{Fase} \left\{ D(z) \Big|_{z=e^{j2\omega_0 T}} \right\}$ e $FN_2 = \text{Fase} \left\{ N(z) \Big|_{z=e^{j2\omega_0 T}} \right\}$

Dividindo a ultima expressão por $|D(z)| \Big|_{z=e^{j2\omega_0 T}}$ tem-se:

$$Vb_2 \cos(2n\omega_0 T + \phi_{b_2} + FD_2) = V_p \cdot a_2 |H(z)| \Big|_{z=e^{j2\omega_0 T}} \cdot \cos(2n\omega_0 T + FN_2) +$$

$$-Vb_1 b_2 \cos(2n\omega_0 T + 2\phi_{b_1} + FD_2) \quad (A2-9)$$

Finalmente, obtém-se:

$$Vb_2 = \left| V_p a_2 H(z) - Vb_1 b_2 e^{j2\phi_{b_1}} \right|_{z=e^{j2\omega_0 T}} \quad (A2-10a)$$

$$\phi_{b_2} = \text{Fase} \left[V_p a_2 H(z) - Vb_1 b_2 e^{j2\phi_{b_1}} \right]_{z=e^{j2\omega_0 T}} - FD_2 \quad (A2-10b)$$

Proseguindo da mesma forma para a 3ª e 4ª harmônica encontra-se as seguintes equações generalizadas para o módulo e fase das harmônicas:

$$|Vb_i| = \left| V_p a_i H(z) - Vb_1 b_i e^{j(i\phi_{b_1})} \right|_{z=e^{j(i\omega_0 T)}} \quad (A2-11)$$

$$\phi_{b_i} = \text{Fase} \left[V_p a_i H(z) - Vb_1 b_i e^{j(i\phi_{b_1})} \right]_{z=e^{j(i\omega_0 T)}} - FD_i \quad (A2-12)$$

A equações (A2-11) e (A2-12) são exatamente as equações (3.21) e (3.22).

A P Ê N D I C E 3

SIMULAÇÃO SPICE DE UMA REDE BIQUADRÁTICA SCCOM CAPACITORES NÃO LINEARES

O circuito da Figura 3.1 realiza um filtro passa baixas de 2ª ordem que foi obtido com a aproximação de Butterworth seguindo os passos comuns de projeto de filtros IIR utilizando a transformação bilinear para uma frequência de amostragem de 10 KHz. A frequência limite da banda de passagem é de 1 KHz e a atenuação máxima nesta banda é aproximadamente 0.7071 dB. Para tornar possível a simulação deste circuito foi utilizado um estágio de sample-hold na entrada e um filtro analógico de reconstrução passa baixas de 2ª ordem na saída deste circuito. A razão da utilização destes circuitos complementares está enfatizada no Capítulo 4.

O circuito escolhido para a realização do filtro de reconstrução foi a estrutura de Sallen-Key mostrada na Fig. 4.6 e a frequência de corte escolhida foi 5 KHz. O circuito de sample-and-hold está representado na Figura A3.1.

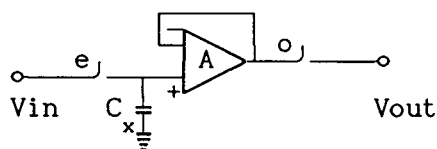


FIGURA A3.1 - Circuito de Sample-and-Hold.

Outros detalhes importantes dizem respeito aos tipos de componentes utilizados para a realização deste circuito, e que serão descritos a seguir:

- a) Para os amplificadores operacionais ideais foram utilizadas fontes de tensão controladas por tensão, com ganho constante de 10^6 .
- b) Para as chaves foram utilizados transistores NMOS. Para possibilitar que as chaves fossem o mais próximo das chaves ideais, o comprimento e a largura dos canais dos transistores foram escolhidas iguais a $0,01\mu\text{m}$ e $1\mu\text{m}$, respectivamente. Além disso, a mobilidade dos elétrons do modelo dos transistores foi alterada para 10000 V.s e todas as capacitâncias envolvidas foram tomadas pelo "default" do modelo do nível 1.
- c) Para os capacitores não-lineares foi utilizado o modelo que está representado na Figura A3.2, onde tem-se um capacitor ideal em série com "F", uma fonte não-linear de tensão controlada por tensão. A equação que descreve esta fonte de tensão está representada na expressão (A3-1). Os coeficientes da fonte não-linear "F" são os coeficientes α_i s obtidos no Capítulo 2. Desta maneira, obtém-se exatamente o modelo do capacitor não-linear que se pretende simular. Além disso, todos os capacitores foram normalizados de tal forma que a menor capacitância fosse de 100 pF.

$$F(v) = \alpha_1 v + \alpha_2 v^2 + \alpha_3 v^3 + \dots \quad (\text{A3-1})$$

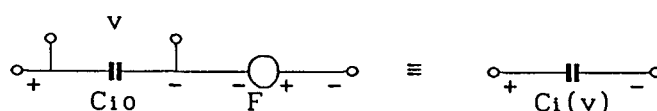


FIGURA A3.2 - Modelo do Capacitor Não-linear.

A distorção harmônica apresentada pelo arquivo de saída do SPICE precisa de uma correção por apresentar uma distorção causada pelo efeito $(\sin x)/x$ introduzido pelo circuito sample-and-hold.

Para maiores detalhes a seguir é apresentado o arquivo de entrada de simulação do circuito no SPICE.

BIQUADRATICA

.OPTIONS LIMPTS=1100 ITL5=0 PIVTOL=1E-30 NOPAGE NOMOD

*CHAVES

X1 1 100 2 CHAVE
X2 3 200 4 CHAVE
X3 4 200 5 CHAVE
X4 7 200 8 CHAVE
X5 5 100 0 CHAVE
X6 7 100 0 CHAVE
X7 8 200 11 CHAVE
X8 13 200 23 CHAVE
X9 11 100 0 CHAVE
X10 13 100 0 CHAVE
X11 10 100 15 CHAVE
X12 17 200 18 CHAVE
X13 15 200 0 CHAVE
X14 17 100 0 CHAVE
X15 18 200 19 CHAVE
X16 21 200 23 CHAVE

X17 19 100 0 CHAVE

X18 21 100 0 CHAVE

*AMPLIFICADOR OPERACIONAL

EAMP1 3 0 2 3 1MEG <DO SAMPLE-AND-HOLD

EAMP2 10 0 0 8 1MEG

EAMP3 23 0 0 18 1MEG

*CAPACITORES

CX1 2 0 100P IC=0 <DO SAMPLE-AND-HOLD

C0 14 18 48.1628P IC=0

C1 6 7 100P IC=0

C2 12 13 100P IC=0

C3 16 17 192.651P IC=0

C4 20 21 267.357P IC=0

C5 9 10 100P IC=0

C6 22 23 100P IC=0

*CLOCK

VCKA 100 0 PULSE(-5V 5V 0.00NS 10NS 10NS 49.98US 100US)

VCKB 200 0 PULSE(5V -5V 0.00NS 10NS 10NS 49.98US 100US)

* TENSÃO DE ENTRADA

VIN 1 0 SIN(0 1 0.25K 0 0)

*FILTRO PASSA-BAIXAS (SALEN AND KEY)

X19 23 24 FPB

*NAO LINEARIDADES

X20 14 4 4 18 NLI

X21 6 5 5 7 NLI

X22 8 9 10 8 NLI

X23 11 12 13 11 NLI

X24 16 15 15 17 NLI

X25 19 20 21 19 NLI

X26 18 22 23 18 NLI

* SUB-CIRCUITOS

*FONTE DE TENSÃO CONTROLADA POR TENSÃO

.SUBCKT NLI 1 2 3 4

* 1 NO(+)CONTROLADO 2 NO(-)CONTROLADO 3 NO(+)CONTOLADOR 4 NO(-)CONTROLADO

E1 1 2 POLY(1) 3 4

+ 0 0

+ 0.009261 <= α_1

+ -0.003637 <= α_2

+ 0.001607 <= α_3

+ -0.0007572 <= α_4

+ 0.000372 <= α_5

.ENDS

* CHAVES

.SUBCKT CHAVE 1 2 3

* 1 DRENO 2 GATE 3 FONTE

V1 0 4 5

```
M1 1 2 3 4 MODN L=.01U W=1U
.ENDS

*FILTRO PASSA-BAIXAS 2 ORDEM
.SUBCKT FPB 1 4
* 1 ENTRADA 4 SAIDA
R1 1 2 159.154K
R2 2 3 159.154K
C1 2 4 200P IC=0
C2 3 0 200P IC=0
EAMP 4 0 3 4 1MEG
.ENDS

.MODEL MODN NMOS (LEVEL=1 UO=10000 )
.TRAN 0.1MS 6MS 2MS UIC
.PRINT TRAN V(23)
.FOUR 0.25KHZ V(24)
.PROBE V(4) V(23) V(24)
.END
```

A P Ê N D I C E 4

DETALHES DA SIMULAÇÃO ESTATÍSTICA DOS FILTROS DO CODEC

A análise estatística da resposta em frequência dos filtros do CODEC foi feita a partir da própria função de transferência dos filtros.

O procedimento adotado para o cálculo dos coeficientes da função de transferência foi o seguinte: utilizando um gerador randômico na faixa de 0 a 1, e por intermédio do teorema do limite central [28], que diz que a média κ de n números randômicos uniformemente distribuídos entre 0 e 1 será igual a $1/2$ e variância de σ^2 se $n \geq 12$, pode-se utilizar a equação

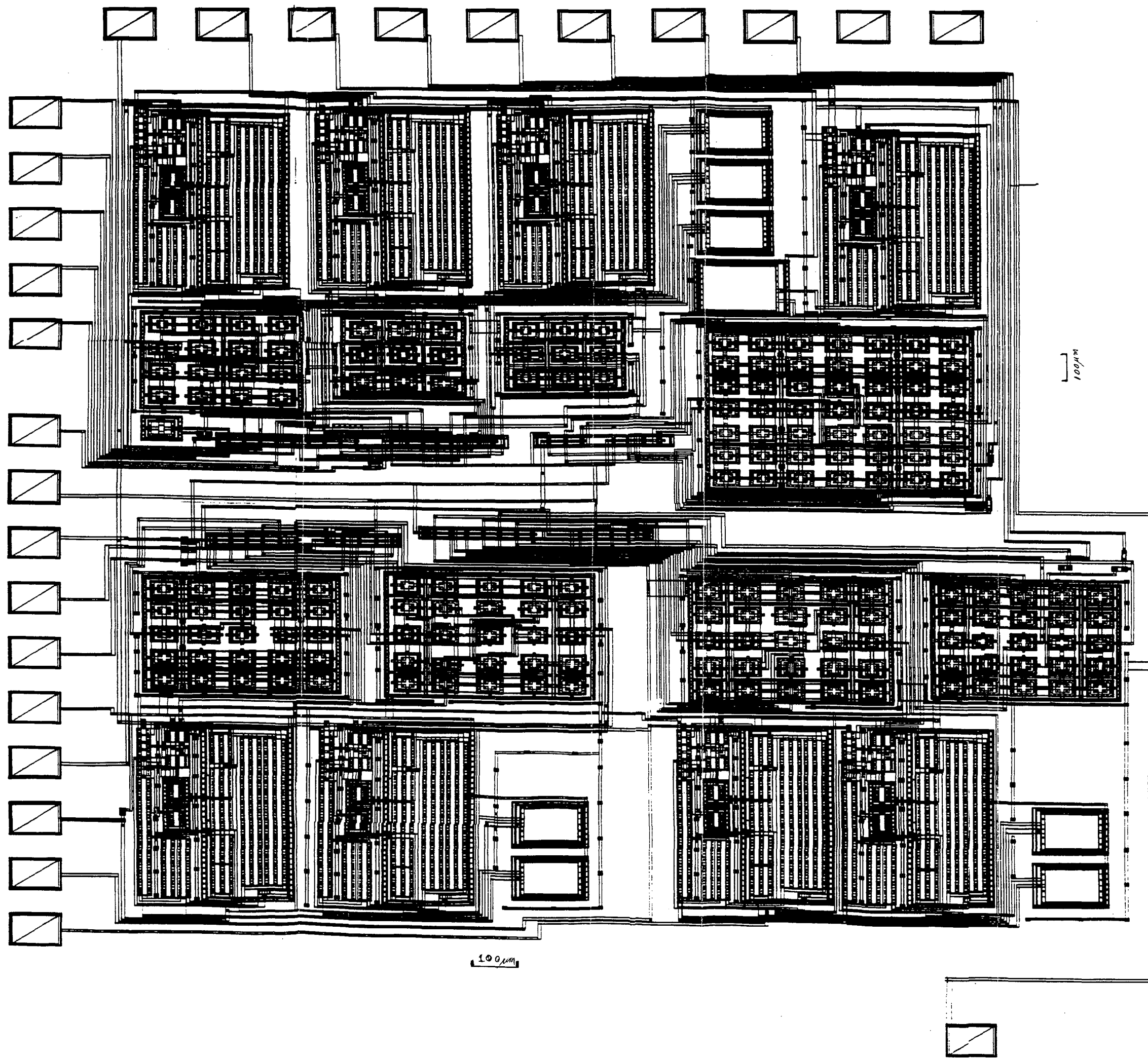
$$x = \sigma \left[\kappa - \frac{1}{2} + \frac{\bar{x}}{\sigma} \right]$$

para obter a distribuição gaussiana da razão capacitiva desejada [19]. A variável x tem média igual \bar{x} e variância de σ^2 , no caso igual a 1%. A partir disso, foram calculados treze coeficientes da função de transferência e obtida uma tabela da resposta em frequência na faixa requisitada para cada um dos casos. Finalmente, de posse dessas tabelas, foi feita uma busca dos valores máximo e mínimo da magnitude e do atraso de grupo da resposta do filtro para cada valor de frequência.

A P Ê N D I C E 5

"LAYOUT" DOS FILTROS DE TRANSMISSÃO DO CODEC

O "layout" do filtro de transmissão do CODEC se encontram na próxima página. Os circuitos foram dispostos no "chip" de tal maneira que as chaves ficassem no centro da estrutura e os amplificadores operacionais nas extremidades.



100m

100m